



# Gowin 块状静态随机存储器(B-SRAM) 用户指南

UG285-1.09,2018-05-31

## **版权所有©2018 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2016/05/17	1.05	初始版本。
2016/07/15	1.06	标准化插图。
2016/10/27	1.07	适用 GW2AR 系列 FPGA 产品。
2017/05/03	1.08	<ul style="list-style-type: none"><li>● 更新 B-SRAM 操作时序图，添加 ROM、字节使能信号、字节校验、上电情况、输出寄存器复位、位置约束；</li><li>● 增加附录 A 注意事项。</li></ul>
2018/05/31	1.09	<ul style="list-style-type: none"><li>● 添加第三章端口和参数介绍；</li><li>● 添加存储扩展；</li><li>● 更新 A.3 读写注意。</li></ul>

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>iii</b>
表目录 .....	<b>iv</b>
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 特性介绍 .....	3
2.2 配置模式 .....	4
2.2.1 单端口模式 .....	5
2.2.2 双端口模式 .....	5
2.2.3 伪双端口模式 .....	6
2.2.4 只读模式 .....	6
<b>3 端口和参数介绍 .....</b>	<b>9</b>
3.1 结构示意图 .....	9
3.2 端口信号说明 .....	10
3.3 参数属性 .....	12
<b>4 IP 调用 .....</b>	<b>15</b>
<b>5 存储扩展 .....</b>	<b>16</b>
<b>6 操作模式 .....</b>	<b>17</b>
6.1 读操作模式 .....	17
6.2 写操作模式 .....	17
6.2.1 Normal 模式 .....	17
6.2.2 通写模式 .....	18
6.2.3 先读后写模式 .....	19

---

6.3 冲突避免.....	20
6.4 字节使能.....	20
6.5 字节校验.....	20
6.6 上电情况.....	21
6.7 输出复位.....	22
6.8 B-SRAM 位置约束 .....	24
<b>7 B-SRAM 库原语.....</b>	<b>25</b>
<b>8 时序模型 .....</b>	<b>26</b>
8.1 时序参数.....	26
8.2 时序特性.....	26
<b>附录 A 注意事项.....</b>	<b>27</b>
A.1 虚拟时钟周期.....	27
A.2 同步复位 .....	27
A.3 读写注意事项.....	28
A.3.1 写操作注意事项 .....	28
A.3.2 读操作注意事项 .....	28

# 图目录

图 6-1 B-SRAM 逻辑结构框图.....	17
图 6-2 Normal 模式旁路输出时序图 .....	18
图 6-3 Normal 模式寄存器输出时序图.....	18
图 6-4 通写模式旁路输出时序图 .....	18
图 6-5 通写模式寄存器输出时序图 .....	19
图 6-6 先读后写模式旁路输出时序图.....	19
图 6-7 先读后写模式寄存器输出时序图 .....	19
图 6-8 复位输出结构框图.....	22
图 6-9 寄存器输出模式同步复位时序图 .....	23
图 6-10 旁路输出模式复位时序图.....	23
图 6-11 寄存器输出模式异步复位时序图 .....	23
图 A-1 Normal 模式旁路输出时序图 .....	27

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 配置模式列表 .....	4
表 2-2 数据和地址位宽对应关系 .....	4
表 2-3 双端口模式数据宽度配置列表 .....	5
表 2-4 伪双端口模式数据宽度配置列表 .....	5
表 6-1 字节使能对应关系 .....	20

# 1 关于本手册

## 1.1 手册内容

Gowin B-SRAM 用户手册主要描述高云半导体 B-SRAM 的特性、工作模式、工作时序以及注意事项，给用户提提供应用说明。

## 1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品：GW1N-1、GW1N-4、GW1N-6 及 GW1N-9
2. GW1NR 系列 FPGA 产品：GW1NR-4、GW1NR-9
3. GW2A 系列 FPGA 产品：GW2A-55、GW2A-18
4. GW2AR 系列 FPGA 产品：GW2AR-18

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW2A 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册
5. Gowin FPGA 原语使用指南
6. Gowin IP Core Generator 用户指南



## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
B-SRAM	Block SRAM	块状静态随机存储器
SP	Single Port	单端口
DP	Dual Port	双端口
SDP	Semi Dual Port	伪双端口
CFU	Configurable Function Unit	可配置功能单元
CST	Constraint Text	物理约束文件

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail: [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

高云半导体 FPGA 产品提供了丰富的块状静态随机存储器资源，简称块状静态存储器（B-SRAM）。B-SRAM 在器件内部以行的形式分布，每个 B-SRAM 占用 3 个 CFU 的位置，B-SRAM 的数量根据器件的不同而不同，资源容量详细资料请分别参考《[GW1N 系列 FPGA 产品数据手册](#)》、《[GW1NR 系列 FPGA 产品数据手册](#)》、《[GW2A 系列 FPGA 产品数据手册](#)》、《[GW2AR 系列 FPGA 产品数据手册](#)》。

高云半导体 FPGA 产品中的每个 B-SRAM 可配置最高 18Kbits，数据位宽和地址深度均可配置。每个 B-SRAM 有两个端口，即 A 端口和 B 端口，两个端口都可以进行读操作/写操作，两个端口彼此独立，独立的时钟、地址、数据和控制信号，两个端口共享一块存储空间。每个 B-SRAM 可配置 4 种操作模式：单端口模式（SP）、双端口模式（DP）、伪双端口模式（SDP）和只读模式（ROM）。在伪双端口模式下，A 端口只能用于写操作，B 端口只能进行读操作

B-SRAM 支持数据初始化操作，可以通过 parameter 设置，也可以通过 IP Core Generator 读入初始化文件设置。B-SRAM 的写操作和读操作均同步于时钟，B-SRAM 的输入端和输出端都有寄存器，输入端寄存器支持写入数据和控制信号同步于输入时钟。输出端的寄存器支持数据寄存器输出（Pipeline Mode）帮助改善系统时序和性能，也支持旁路输出（Bypass Mode）。寄存器输出的数据比旁路输出的数据延迟一个时钟周期。但建议使用寄存器输出。B-SRAM 的写操作支持 Normal 模式、通写模式和先读后写模式。

高云半导体 Gowin 云源软件 IP Core Generator 支持 B-SRAM 单端口模式、双端口模式、伪双端口模式和只读模式的生成。

## 2.1 特性介绍

- 一个 B-SRAM 最大容量为 18Kbits
- 支持单端口模式（SP）
- 支持双端口模式模式（DP）
- 支持伪双端口模式（SDP）
- 支持只读模式（ROM）
- 支持数据位宽 1bit ~ 36 bits
- 双端口模式和伪双端口模式支持读写时钟独立、数据位宽独立

- 16 bits 及以上的数据位宽支持字节使能功能
- 支持异步复位，同步释放
- 输出支持寄存器输出或旁路输出
- 写模式支持 Normal 模式、先读后写模式和通写模式

## 2.2 配置模式

每个 B-SRAM 可配置成 16Kbits 或 18Kbits 大小，四种模式可配置的数据宽度和地址深度如表 2-1 所示。

表 2-1 配置模式列表

存储容量	单端口模式		双端口模式		伪双端口模式		只读模式	
16Kbits	SP	16K x 1	DP	16K x 1	SDP	16K x 1	ROM	16K x 1
		8K x 2		8K x 2		8K x 2		8K x 2
		4K x 4		4K x 4		4K x 4		4K x 4
		2K x 8		2K x 8		2K x 8		2K x 8
		1K x 16		1K x 16		1K x 16		1K x 16
		512 x 32		-		512 x 32		512 x 32
18Kbits	SPX9	2K x 9	DPX9	2K x 9	SDPX9	2K x 9	ROMX9	2K x 9
		1K x 18		1K x 18		1K x 18		1K x 18
		512 x 36		-		512 x 36		512 x 36

每个 B-SRAM 的地址线为 14 根，即 AD[13:0]，最大地址深度 16,384。不同数据位宽使用的地址线不一样，对应关系如表 2-2 所示。

表 2-2 数据和地址位宽对应关系

类型	配置模式	数据位宽	地址深度	地址位宽
SP SDP DP ROM	16K x 1	[0:0]	16,384	[13:0]
	8K x 2	[1:0]	8,192	[13:1]
	4K x 4	[3:0]	4,096	[13:2]
	2K x 8	[7:0]	2,048	[13:3]
	1K x 16	[15:0]	1,024	[13:4]
	512 x 32	[31:0]	512	[13:5]
SPX9 SDPX9 DPX9 ROMX9	2K x 9	[8:0]	2,048	[13:3]
	1K x 18	[17:0]	1,024	[13:4]
	512 x 36	[35:0]	512	[13:5]

双端口和伪双端口模式写时钟和读时钟独立，支持读/写操作数据位宽独立。在双端口模式下，A 端口和 B 端口支持的数据位宽如表 2-3 所示。在伪双端口模式下，A 端口和 B 端口支持的数据位宽如表 2-4 所示。

表 2-3 双端口模式数据宽度配置列表

类型	B 端口	A 端口						
		16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
DP	16K x 1	*	*	*	*	*		
	8K x 2	*	*	*	*	*		
	4K x 4	*	*	*	*	*		
	2K x 8	*	*	*	*	*		
	1K x 16	*	*	*	*	*		
DPX9	2K x 9						*	*
	1K x 18						*	*

注!

标注为“\*”的表示支持的模式。

表 2-4 伪双端口模式数据宽度配置列表

类型	B 端口	A 端口								
		16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512x32	2K x 9	1K x 18	512 x 36
SDP	16K x 1	*	*	*	*	*	*			
	8K x 2	*	*	*	*	*	*			
	4K x 4	*	*	*	*	*	*			
	2K x 8	*	*	*	*	*	*			
	1K x 16	*	*	*	*	*	*			
	512 x 32	*	*	*	*	*	*			
SDPX9	2K x 9							*	*	*
	1K x 18							*	*	*

注!

标注为“\*”的表示支持的模式。

## 2.2.1 单端口模式

单端口模式支持如下操作:

- 同一时钟读/写操作
- 支持 Normal 模式、通写模式和先读后写模式
- 支持寄存器输出 (Pipeline Mode) 和旁路输出 (Bypass Mode)
- 支持同步复位和异步复位

## 2.2.2 双端口模式

两个端口支持如下操作:

- 两个独立的读
- 两个独立的写
- 时钟独立
- 支持 Normal 模式、通写模式和先读后写模式
- 支持寄存器输出(Pipeline Mode)和旁路输出(Bypass Mode)

- 支持同步复位和异步复位

### 2.2.3 伪双端口模式

伪双端口模式支持如下操作：

- 支持 A 端口写，B 端口读
- 时钟独立
- 支持 Normal 模式
- 支持寄存器输出(Pipeline Mode)和旁路输出(Bypass Mode)
- 支持同步复位和异步复位

### 2.2.4 只读模式

只读模式支持如下操作：

- 支持寄存器输出 (Pipeline Mode) 和旁路输出 (Bypass Mode)；
- 支持同步复位和异步复位。

# 3 端口和参数介绍

## 3.1 结构示意图

每个 B-SRAM 可配置为 18Kbits 存储容量，包括 A 端口和 B 端口，结构示意图如图所示。

图 3-1 B-SRAM 结构示意图

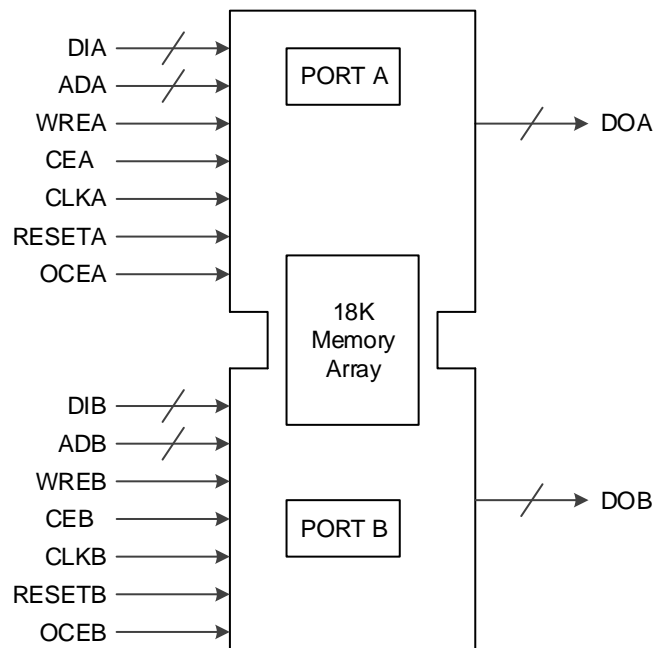


表 3-1 端口列表

端口名称	方向	描述
DIA/ DIB	I	A/B 端口数据输入
ADA/ ADB	I	A/B 端口地址信号，包括字节使能信号 <sup>1</sup>
CEA/ CEB	I	A/B 端口时钟使能信号
RESETA/ RESETB	I	A/B 端口输出复位信号
WREA/ WREB	I	A/B 端口读/写使能信号
BLKSEL	I	存储单元块选择信号
CLKA/ CLKB	I	A/B 端口读/写时钟信号

OCEA/ OCEB	I	A/B 端口输出寄存器时钟使能信号
DOA/ DOB	O	A/B 端口数据输出

## 3.2 端口信号说明

### 时钟 CLKA、CLKB

A/B 端口的时钟信号，默认上升沿有效，B-SRAM 的读/写操作都同步于时钟信号。两个端口的时钟相互独立，单端口模式只有一个时钟 **CLK**，双端口和伪双端口模式有 **CLKA** 和 **CLKB**，读/写操作可以在不同时钟下进行。

### 时钟使能 CEA、CEB

A/B 端口的时钟使能信号，默认高电平有效，当时钟使能信号无效时，读/写操作的时钟信号无效，对于写操作而言将不会有数据写入存储空间，使用时钟使能信号控制写操作时会产生不期望的写操作，详细信息请参考附录 A。对于读操作而言将不会有数据从存储空间读出，使用时钟使能信号控制读操作时会产生不期望的读操作，详细信息请参考附录 A。

### 写使能/读使能：WREA、WREB

单端口模式只有一个信号 **WRE**，该信号为高电平且时钟使能信号有效的时候进行写操作，该信号为低电平且时钟使能信号有效的时候进行读操作。

双端口模式的 **WREA/WREB** 控制 A/B 端口的读/写操作，该信号为高电平且时钟使能信号有效的时候 A/B 端口进行写操作，该信号为低电平且时钟使能信号有效的时候 A/B 端口进行读操作。

伪双端口模式 **WREA** 只控制写操作，在时钟使能信号有效的情况下，该信号为高电平时写操作有效。**WREB** 只控制读操作，在时钟使能信号有效的情况下，该信号为低电平时读操作有效。

使用 **WREA** 控制写操作时会产生不期望的写操作，详细信息请参考附录 A。使用 **WREB** 控制读操作时会产生不期望的读操作，详细信息请参考附录 A。

### 地址信号 ADA、ADB

A/B 端口的地址信号，用来选择读操作或写操作访问的地址或一段地址空间，需要注意的是不论是 16Kbits 存储模块还是 18Kbits 存储模块，读操作和写操作的地址范围都不能超过允许的最大数据深度。

**AD** 为单端口模式的写操作和读操作地址。双端口模式 **ADA/ADB** 为 A/B 端口的读/写操作地址，两个端口共用同一块存储空间地址。伪双端口模式 **ADA** 为写操作地址，**ADB** 为读操作地址。

## 字节使能信号 BYTE\_ENA、BYTE\_ENB

用来实现 16bits/18bits 和 32bits/36bits 数据位宽的字节使能功能，高电平有效。如果数据需要写入存储单元，请把对应的字节使能信号置高。

当用户直接调用库原语实现存储功能的时候，该信号直接赋值到地址信号的低位。当用户使用 IP Core Generator 生成的 B-SRAM 模型时，会有该信号的输入端口 `byte_en`，软件自动赋值到地址信号的低位。

在表 2-2 中可以看到数据位宽和地址位宽的对应关系，当数据位宽为 16/18 或 32/36 时，此时地址信号的低位不作为地址使用，而是字节使能信号，如表 3-2 所示。

字节使能信号作用的数据信号如表 3-3 所示。

**表 3-2 字节使能与地址信号的对应**

数据位宽	地址位宽	字节使能位宽	地址赋值 AD[13:0]
1	14	无	ad1[13:0]
2	13	无	{ad1 [12:0],1'b0}
4	12	无	{ad1 [11:0],2'b00}
8/9	11	无	{ad1 [10:0],3'b000}
16/18	10	2	{ad1[9:0],2'b00,byte_en[1:0]}
32/36	9	4	{ad1[8:0],1'b0,byte_en[3:0]}

注！

- [1]ad 为用户输入的地址。

**表 3-3 字节使能信号与数据信号的对应**

字节使能信号	数据信号/32	数据信号/36
byte_en[0]	DI[7:0]	DI[8:0]
byte_en[1]	DI[15:8]	DI[17:9]
byte_en[2]	DI[23:16]	DI[26:18]
byte_en[3]	DI[31:24]	DI[35:27]

## 写入数据 DIA、DIB

单端口和伪双端口只有一个数据写入的端口 DI，双端口 DIA 为 A 端口的写入数据，DIB 为 B 端口的写入数据。

## 输出寄存器时钟使能 OCEA、OCEB

高电平有效，该信号作用于读模式的寄存器输出模式，对于旁路输出无效。如果读模式使用寄存器输出，读操作有效并且该信号为高电平时，输出有效的读出数据。

单端口模式和伪双端口模式只有一个输出寄存器时钟使能信号 OCE，双端口模式 OCEA 作用于 A 端口的输出寄存器时钟信号，OCEB 作用于 B 端



口的输出寄存器时钟信号。

### 读出数据 DOA、DOB

单端口和伪双端口只有一个输出数据端口 DO，双端口模式 DOA 为 A 端口的数据输出，DOB 为 B 端口的数据输出。

### 复位信号 RESETA、RESETB

高电平有效，RESETA 和 RESETB 作用于 A 端口和 B 端口的输出寄存器，用于输出寄存器的复位。支持同步复位和异步复位，通过参数 RESET\_MODE 设置，默认为同步复位。使用寄存器输出模式时，设置 RESET 信号有效，输出复位数据 0。

需要注意的是在端口正常写入数据时请不要设置复位信号有效。

### 扩展信号 BLKSEL

用于存储容量的扩展，支持多个 B-SRAM 级联实现更大容量的存储空间。默认不进行扩展。需要配合参数 BLK\_SEL 一起使用。使用 IP Core Generator 进行存储扩展时软件自动进行扩展处理。

## 3.3 参数属性

在原语库中的 B-SRAM 原语或 IP Core Generator 生成的 B-SRAM 模型中有参数设置，这些参数属性说明如下。

### 读模式 READ\_MODE

B-SRAM 的 A/B 端口的读模式设置参数，该参数为 0 时为旁路输出模式，为 1 时为寄存器输出模式，默认为 READ\_MODE = 1'b0。

### 写模式 WRITE\_MODE

B-SRAM 的 A/B 端口的写模式设置参数，位宽为 2，该参数为 2'b00 时为正常写模式 (Normal Mode)，该参数为 2'b01 时为通写模式 (Write-through Mode)，该参数为 2'b10 时为先读后写模式 (Read before Write Mode)。默认为 WRITE\_MODE0 = 2'b00。

### 数据位宽 BIT\_WIDTH

B-SRAM 的 A/B 端口的数据位宽设置参数，容量为 16Kbits B-SRAM 支持 x1/x2/x4/x8/x16/x32bits 的位宽，容量为 18Kbits 的 B-SRAM 支持 x9/x18/x36bits 的位宽，与 B-SRAM 的配置模式一致。默认数据位宽为支持的最大值。IP Core Generator 根据用户设置的数据宽度自动对该参数进行设置。

## 存储单元块选择信号 BLK\_SEL

B-SRAM 级联设置信号，需要配合端口信号 BLKSEL 一起进行存储容量的扩展，默认不扩展。使用 IP Core Generator 进行存储扩展时软件自动进行扩展处理。

## 复位模式 RESET\_MODE

用于 A/B 端口复位模式的设置，支持同步复位(SYNC)和异步复位(ASYNC)，默认 RESET\_MODE = "SYNC"。

## 存储单元初始化 INIT\_RAM\_xx

用于设置 B-SRAM 存储单元的初始化数据，如果不对 B-SRAM 进行初始化数据的配置，数据流文件(bitstream)中会默认设置为 0。参数初始化时使用从 INIT\_RAM\_00 到 INIT\_RAM\_3F 对存储单元进行初始化，对于容量为 16Kbits 的 B-SRAM，每个 INIT\_RAM\_xx 包含对 256 个地址的初始化数据，对于容量为 18Kbits 的 B-SRAM，每个 INIT\_RAM\_xx 包含对 288 个地址的初始化数据。用户可以选择对存储单元进行部分或全部的数据初始化，在参数设置中全部默认为 0。

INIT\_RAM\_xx 中 256bit 对应的 B-SRAM 中的地址数据可由公式计算出，y 表示参数位置十六进制转化为十进制的数：

- 起始地址：[(y+1) x 256] -1
  - 结束地址：y x 256
- 比如参数 INIT\_RAM\_1A 中的 256 个数据对应的 B-SRAM 的地址为：
- “1A”对应的十进制数据为 26
  - 起始地址：[(26+1) x 256] -1 = 6911
  - 结束地址：26 x 256 = 6656

表 3-4 16Kbits 容量的 B-SRAM 参数初始化位置对应

参数	存储单元	
	起始地址	结束地址
INIT_RAM_00	255	0
INIT_RAM_01	511	256
INIT_RAM_02	767	512
...	...	...
INIT_RAM_1F	8191	7936
...	...	...

INIT_RAM_2F	12287	12032
...	...	...
INIT_RAM_3F	16383	16128

18Kbits 容量的 B-SRAM 地址对应与 16Kbits 的一致。

# 4 IP 调用

高云半导体 Gowin 云源软件的 IP Core Generator 支持 IP 核的界面调用，用户在界面中设置数据宽度、地址深度、写模式和读模式，Gowin 云源软件生成对应的 IP 模块，用户在使用中调用模块即可。此外，还有两种方式实现 B-SRAM 的功能。一是用户可以通过调用高云半导体 Gowin 云源软件库文件，设置端口和参数生成需要的 IP 模块。二是代码综合时选择综合工具自动合成 B-SRAM 模式。

IP Core Generator 创建和调用 B-SRAM 的详细资料请参考《[Gowin IP Core Generator 用户指南](#)》。

# 5 存储扩展

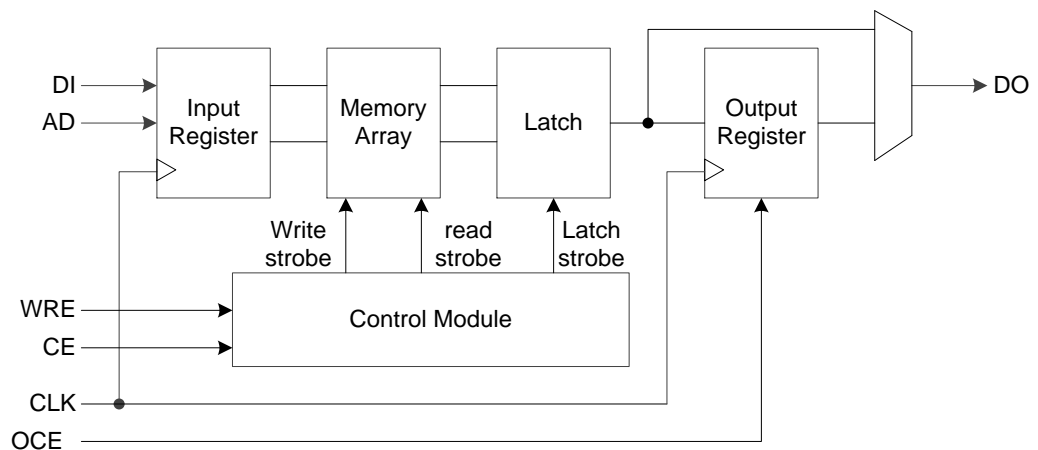
高云半导体 FPGA 器件的 B-SRAM 支持存储扩展，可以调用原语自行扩展，或者使用高云半导体 Gowin 云源软件的 IP Core Generator，软件自动进行扩展。

# 6 操作模式

## 6.1 读操作模式

B-SRAM 支持两种读操作模式：寄存器模式 (Pipeline Mode) 和旁路模式 (Bypass Mode)。输出寄存器能够改善系统性能和时序，建议使用。

图 6-1 B-SRAM 逻辑结构框图



## 6.2 写操作模式

数据写入存储单元需要一个时钟周期，写入端的数据同步于时钟信号进入输入寄存器，数据写入后存储在存储阵列中。

写操作模式支持以下模式：

- Normal 模式
- 通写模式
- 先读后写模式

### 6.2.1 Normal 模式

注！

在 Normal 模式下，由写操作切换到读操作（WRE 由 1 变为 0）时需要一个“虚拟”的读时钟周期（Dummy Read Cycle）。Dummy 之后读出的数据与写入的数据一致。

- 写操作有效时输出端口保持上一次读出的结果
- 多次写入相同地址，先写入的数据被覆盖

- 寄存器输出比旁路输出延迟一个时钟周期

图 6-2 Normal 模式旁路输出时序图

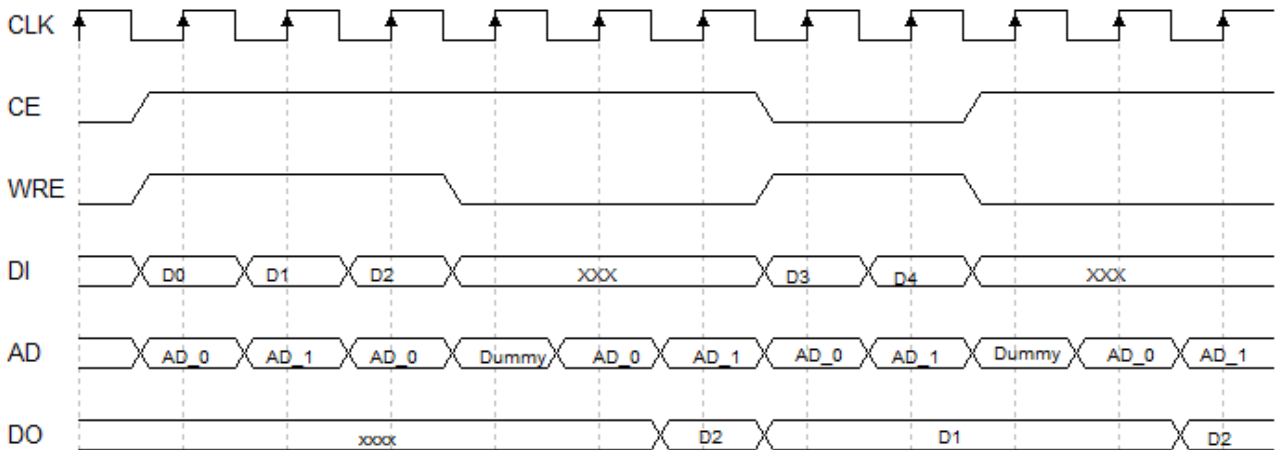
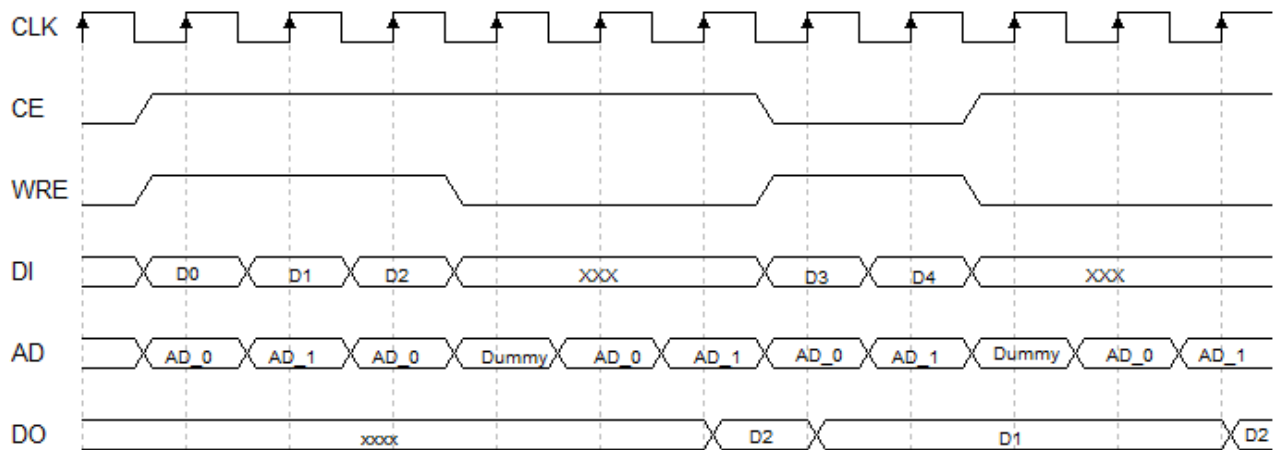


图 6-3 Normal 模式寄存器输出时序图



### 6.2.2 通写模式

在通写模式下，数据同步于时钟进入输入寄存器，写入存储阵列的同时出现在输出端口，寄存器输出比旁路输出延迟一个时钟周期

图 6-4 通写模式旁路输出时序图

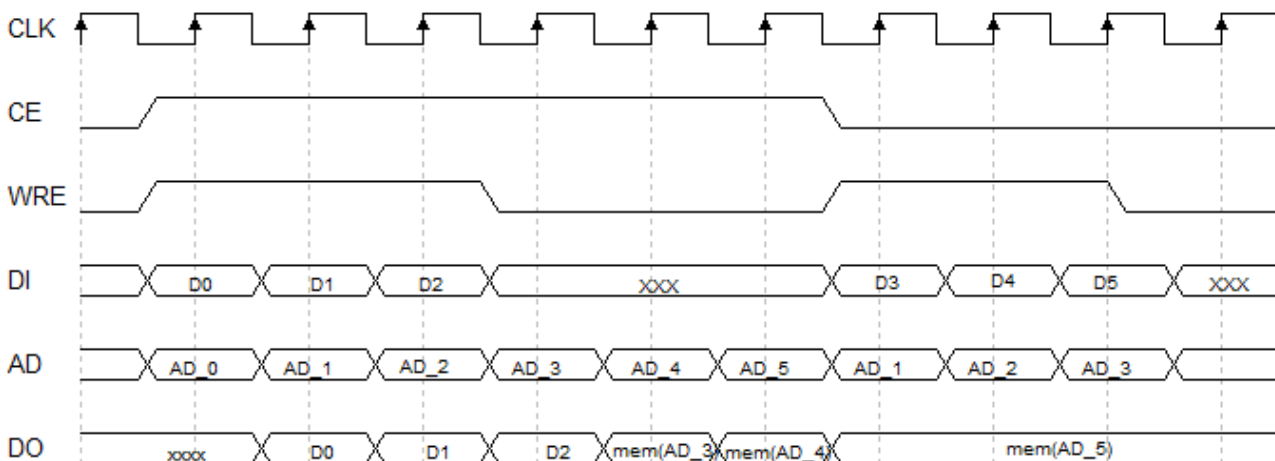
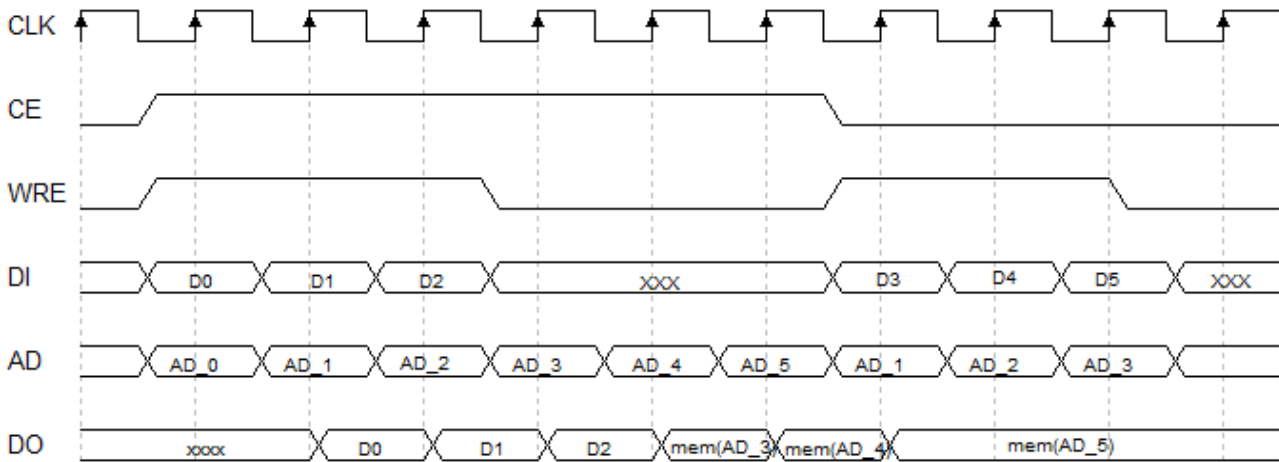


图 6-5 通写模式寄存器输出时序图



### 6.2.3 先读后写模式

在先读后写模式下，当新的数据写入存储单元时，之前写入的数据出现在输出端口，寄存器输出比旁路输出延迟一个时钟周期

图 6-6 先读后写模式旁路输出时序图

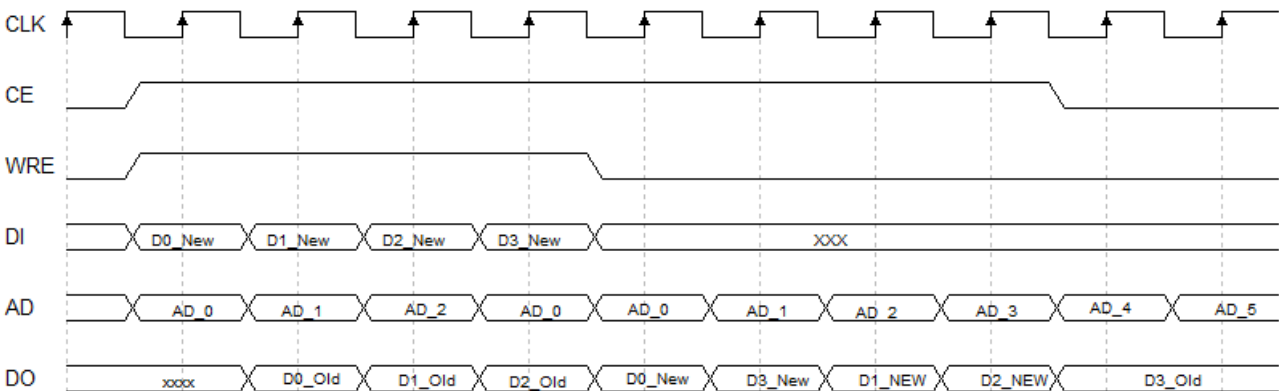
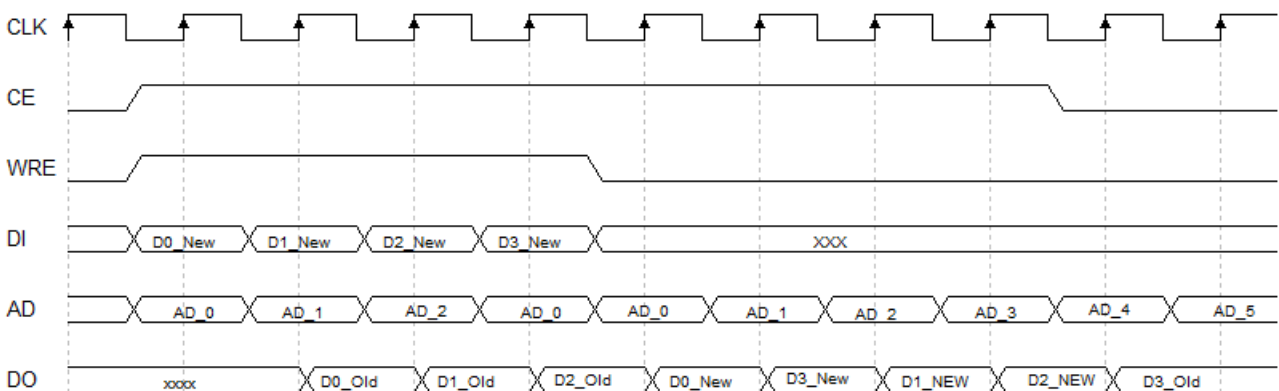


图 6-7 先读后写模式寄存器输出时序图





## 6.3 冲突避免

在以下情况下会造成冲突：

- 在伪双端口和双端口模式下，对于同一地址，一个端口进行读操作的同时，另一个端口进行写操作；
- 双端口模式下端口 A 和端口 B 对同一地址写入不同的数据。

注！

双端口模式下，端口 A 和端口 B 可以同时同一地址进行读操作，读空或者重复读不会对存储模块造成损坏。

用户在实际使用时请注意对同一地址的冲突操作，忽略读出的无效数据或避免对同一地址同时进行读写操作。

## 6.4 字节使能

B-SRAM 支持字节使能功能，用来规避某些不想写入或无效的字节，默认高电平有效。字节使能有效时对应的数据写入存储空间，字节使能无效时对应的数据将不会被写入存储空间。

字节使能在地址的低位体现，与数据位宽和地址深度的对应关系如表 6-1 所示。

表 6-1 字节使能对应关系

存储容量	配置模式	地址赋值	字节使能信号	对应数据
16K	16K x 1	ad[13:0]	无	DI[0]
	8K x 2	{ad[12:0],1'b0}	无	DI[1:0]
	4K x 4	{ad[11:0],2'b00}	无	DI[3:0]
	2K x 8	{ad[10:0],3'b000}	无	DI[7:0]
	1K x 16	{ad[9:0],2'b00,byte_en[1:0]}	byte_en[0] byte_en[1]	DI[7:0] DI[15:8]
	512 x 32	{ad[8:0],1'b0,byte_en[3:0]}	byte_en[0] byte_en[1] byte_en[2] byte_en[3]	DI[7:0] DI[15:8] DI[23:16] DI[31:24]
18K	2K x 9	{ad[10:0],3'b000}	无	DI[8:0]
	1K x 18	{ad[9:0],2'b00,byte_en[1:0]}	byte_en[0] byte_en[1]	DI[8:0] DI[17:9]
	512 x 36	{ad[8:0],1'b0,byte_en[3:0]}	byte_en[0] byte_en[1] byte_en[2] byte_en[3]	DI[8:0] DI[17:9] DI[26:18] DI[35:27]

当用户直接调用库原语时，地址信号的赋值请参考表 6-1。当用户使用 IP Core Generator 时，生成的 B-SRAM 模块根据需要生成字节使能的输入端口 byte\_en，用户赋值 byte\_en，软件自动赋值到地址信号的低位，详细资料请参考《Gowin IP Core Generator 用户指南》。

## 6.5 字节校验

所有的块状静态随机存储器模块 B-SRAM 内置了校验位的配置。容量为

18Kbit 的 B-SRAM、SPX9、SDPX9 和 DPX9 模式每个字节的第 9 位可用于做校验位或者存储数据。

注！

未提供校验操作。

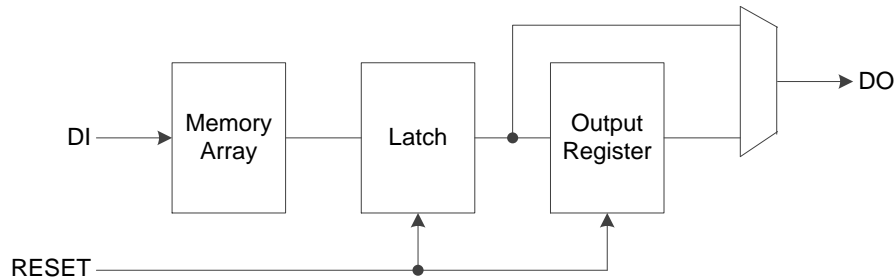
## 6.6 上电情况

B-SRAM 支持上电时静态随机存储器初始化，在上电过程中，B-SRAM 处于待机状态，所有数据输出为 0。

## 6.7 输出复位

RESET 信号作用于输出模块，输出复位数据 0，结构框图如图 6-8 所示。

图 6-8 复位输出结构框图



RESET 信号高电平有效时输出端口输出 0。

RESET 支持同步复位和异步复位，当用户直接调用库原语时，通过参数 RESET\_MODE 设置，详细资料请参考《[Gowin FPGA 原语使用指南](#)》。当用户使用 IP Core Generator 时，通过窗口选择复位模式，详细资料请参考《[Gowin IP Core Generator 用户指南](#)》。

RESET 信号复位锁存器和输出寄存器，因此，当设置 RESET 信号有效时，不管用户使用的是寄存器输出模式还是旁路输出模式，端口都输出 0。

注！

- 写操作过程中 RESET 信号须置为 0（无效状态）；
- 不管 OCE 信号是否有效，DO 输出 DO\_RAM

图 6-9、图 6-10 和图 6-11 为不同模式下复位时序图，其中，DO\_RAM 表示存储阵列中的数据，DO 表示输出端口的数据。

寄存器输出模式下：

- 同步复位有效时，DO 在 CLK 上升沿复位为 0
- 异步复位有效时，DO 随之复位为 0，不需要等到 CLK 上升沿
- OCE 信号有效时，DO 输出 DO\_RAM
- OCE 信号无效时，DO 保持上一次输出的数据

旁路输出模式下：

- 复位信号有效时，DO 复位为 0
- 不管 OCE 信号是否有效，DO 输出 DO\_RAM

图 6-9 寄存器输出模式同步复位时序图

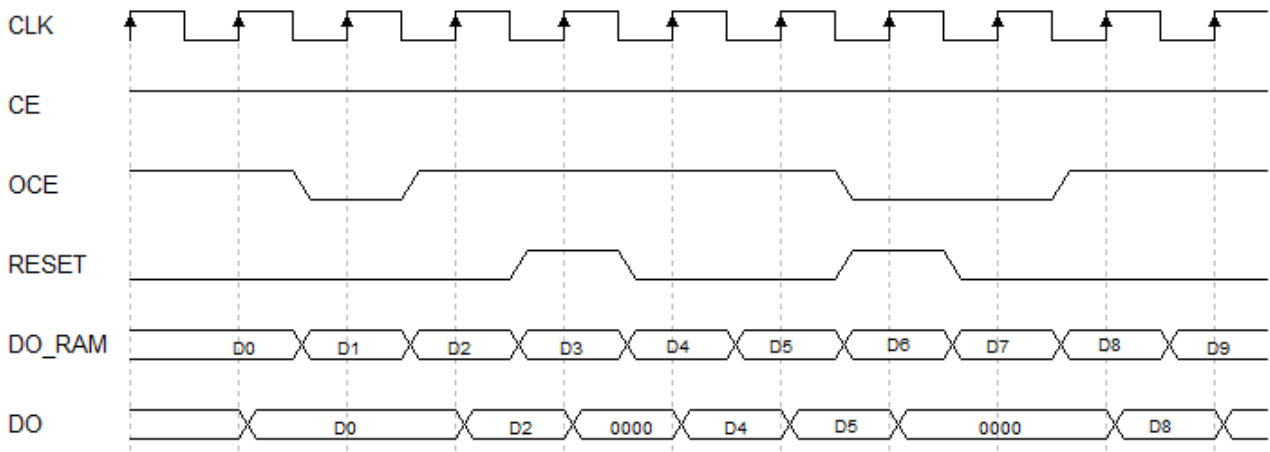


图 6-10 旁路输出模式复位时序图

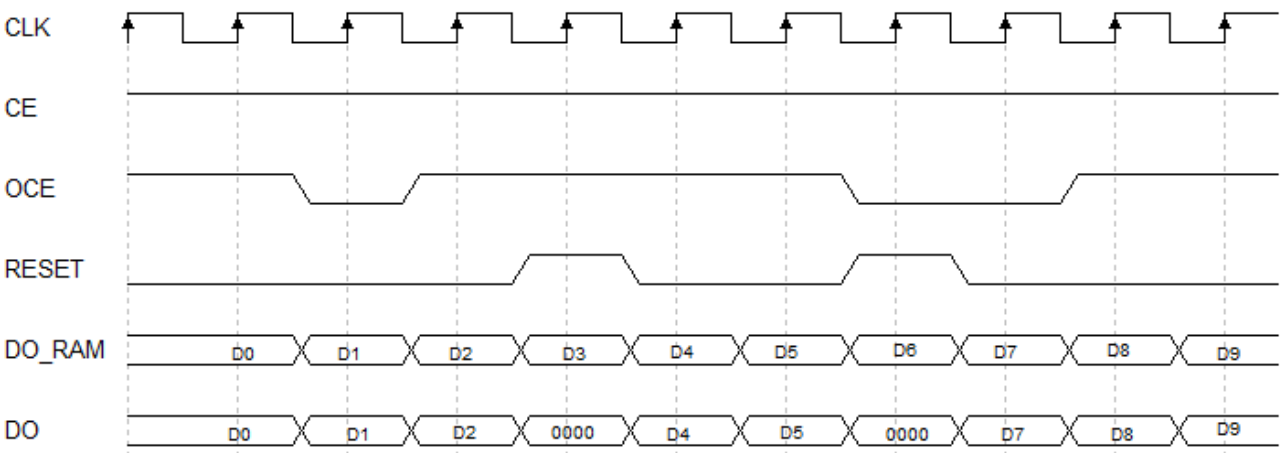
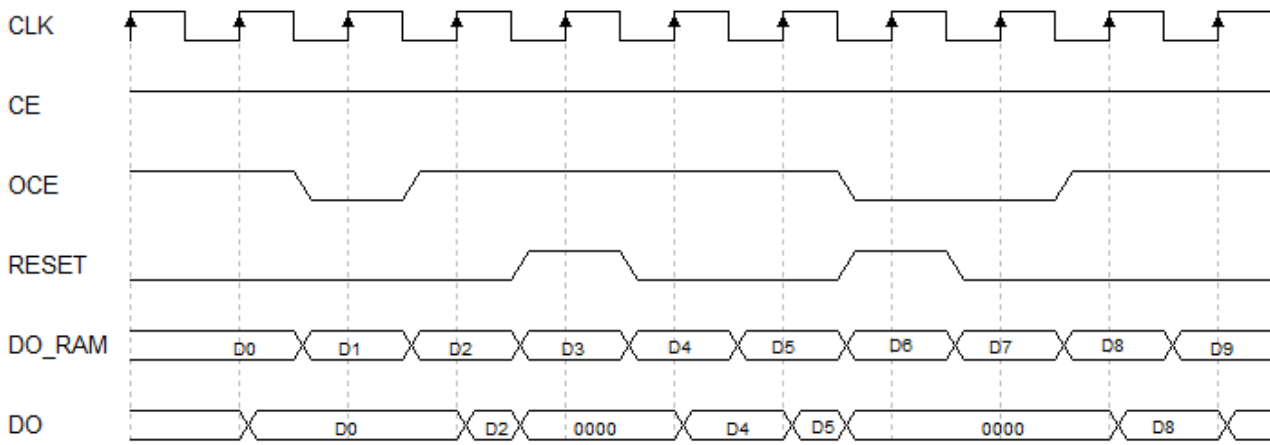


图 6-11 寄存器输出模式异步复位时序图



## 6.8 B-SRAM 位置约束

高云半导体 Gowin 云源软件支持对 B-SRAM 进行位置的约束，包括以下两种方式：

- 在 Gowin FloorPlanner 界面中拖动设置，详细资料请参考 《Gowin 设计约束指南》；
- 在物理约束文件 CST 中设置，设置的方式如下所示：

```
INS_LOC "sdp_16/bram_sdp_0" R10C23;
```

```
INS_LOC "sdp_16/bram_sdp_0" R10C26;
```

B-SRAM 在芯片中的物理位置见 Gowin FloorPlanner 界面。

# 7 B-SRAM 库原语

可在 Gowin 云源软件安装目录下查询 B-SRAM 原语库文件：  
GOWIN/1.5/Pnr/lib/gwxx，其中 1.5 为软件版本，gwxx 为器件系列名称，如 gw1n 和 gw2a。

B-SRAM 原语详细资料请参考《[Gowin FPGA 原语使用指南](#)》。

# 8 时序模型

对 B-SRAM 的读写操作需要满足读写操作数据/地址/控制信号的建立时间、保持时间、寄存器输出时间等要求。不同系列的 FPGA 产品时序参数存在差异，详细时序参数请分别参考 《GW1N 系列 FPGA 产品数据手册》、《GW1NR 系列 FPGA 产品数据手册》、《GW2A 系列 FPGA 产品数据手册》、《GW2AR 系列 FPGA 产品数据手册》。

## 8.1 时序参数

名称	描述
$t_{\text{COAD\_BSRAM}}$	时钟到读地址/数据输出时间(Clock to output from read address/data)
$t_{\text{COOR\_BSRAM}}$	时钟到寄存器输出时间(Clock to output from output register)

## 8.2 时序特性

待更新。

# 附录 A 注意事项

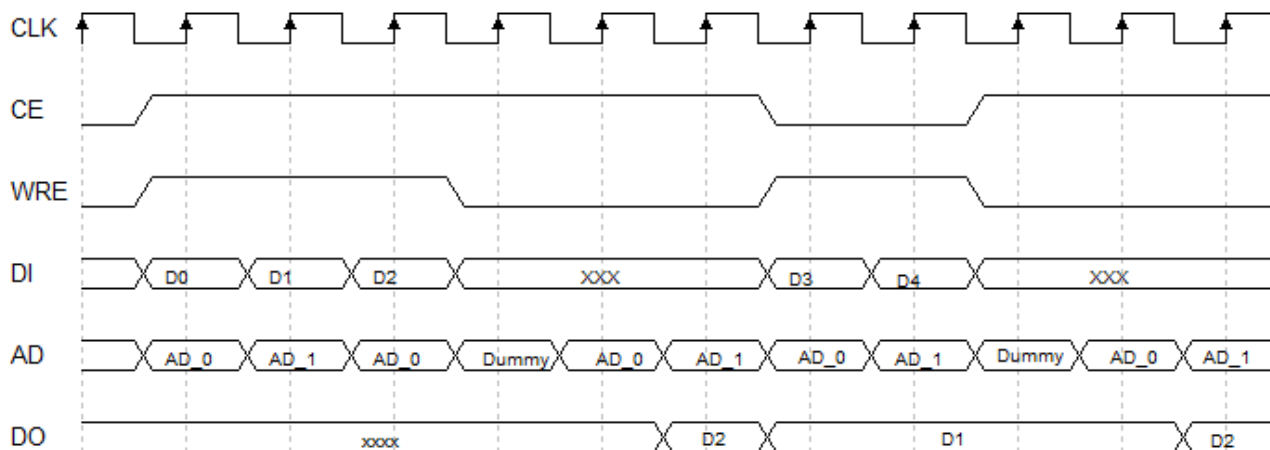
在正确操作高云半导体 FPGA 产品 B-SRAM 的情况下，功能可实现。如使用不当或因产品的某些限制，结果可能与预期的不一致，使用时需注意如下事项。

## A.1 虚拟时钟周期

Normal 模式下，B-SRAM 的同一端口进行读写操作（包括 SP/SPX9/DP/DPX9），由写操作切换到读操作时，需要一个虚拟读时钟周期（Dummy Read Cycle），如图 A-1 所示。

通写模式和先读后写模式不需要虚拟读时钟周期。

图 A-1 Normal 模式旁路输出时序图



## A.2 同步复位

同步复位模式下，复位信号影响写操作，因此，写操作过程中必须将复位信号置为无效。

异步复位模式下，写操作不受复位信号影响。



## A.3 读写注意事项

### A.3.1 写操作注意事项

表 A.1 写操作注意列表

模式	条件	注意点	备注
SP/SPX9/ SDP/SDPX9/ DP/DPX9	写端口: WRE 为 1, CE 由 1 变为 0 时	CE 无效后的第一个 地址会被写入数据	CE 信号延长一个 有效的时钟周期
SDP/SDPX9	写端口: CE 为 1, WREA 由 1 变为 0 时	WREA 无效后的第一个 地址会被写入数据	WREA 信号延长一个 有效的时钟周期

### A.3.2 读操作注意事项

表 2 读操作注意列表

模式	位宽	条件	注意点	备注
SP/SDP/ DP/ROM	16/32	读端口: WRE 为 0, CE 由 1 变为 0	CE 无效后的第 一个地址的数据 会被读出并保持	CE 信号延长一个 有效的时钟周期
SPX9/SDPX9/ DPX9/ROMX9	18/36			
SDP/ROM	16/32	读端口: CE 为 1, WREB 由 0 变为 1	WREB 无效后的 第一个地址的数 据会被读出并保 持	WRE 信号延长一 个有效的时钟周 期
SDPX9/ROMX9	18/36			
SP/SDP/ DP/ROM	1/2/4/8	读端口: WRE 为 0, CE 由 1 变为 0	输出端口出现随 着低四位有效读 写地址的变化而 变化的数据	一直会输出随地 址变化的数据
SPX9/SDPX9/ DPX9/ROMX9	9			
SDP/ROM	1/2/4/8	读端口: CE 为 1, WREB 由 0 变为 1		
SDPX9/ROMX9	9			
SP/DP	1/2/4/8	Normal 操作模式, 读 端口: CE 为 1, WRE 由 0 变为 1	WRE 无效后会 读出一个随着低 四位有效读写地 址变化的数据并 保持	读端口 WRE 信号 延长一个有效的 时钟周期
SPX9/DPX9	9			
SP/DP	1/2/4/8	Read before write 和 write through 操作模 式, 写端口: WRE 为 1, CE 由 1 变为 0	输出端口出现随 着低四位有效读 写地址的变化而 变化的数据	一直会输出随地 址变化的数据
SPX9/DPX9	9			
SP/DP	16/32	Read before write 和 write through 操作模 式, 写端口: WRE 为 1, CE 由 1 变为 0	CE 无效后的第 一个地址的数据 会被读出并保持	CE 信号延长一个 有效的时钟周期
SPX9/DPX9	18/36			

