

# 高云半导体 HCLK 资源用户指南

## 概述

高云半导体 FPGA 产品具有丰富的高速时钟资源，具有低抖动和低偏差性能，可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的。高速时钟模块对时钟进行 2、3.5、4、5、8 分频，可为 IDE54/IVIDEO/IDES8/IDES10/IDES16/OSER4/OVIDEO/OSER8/OSER10/OSER16 等 IO Logic 资源提供时钟。

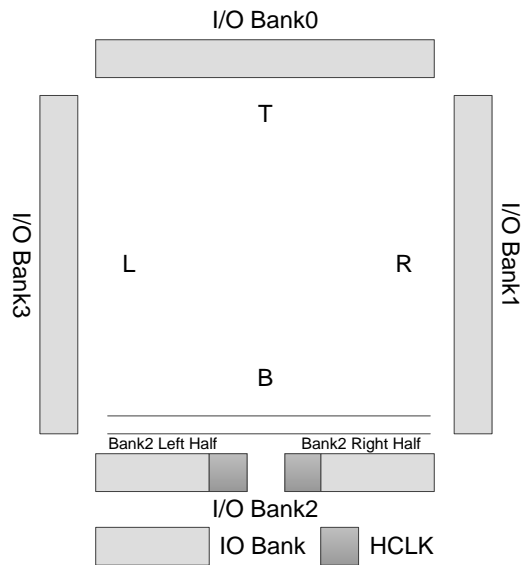
## GW1N-1

HCLK 资源数量为 2 个，位于 Bank2。Bank2 的左半 Bank 和右半 Bank 分别有一个 HCLK 资源，位于左半 Bank 上的 HCLK 资源只能用于左半 Bank 上的 IO Logic 资源，右半 Bank 上的 HCLK 资源只能用于右半 Bank 上的 IO Logic 资源。

任何一个 HCLK 的时钟输入信号可送到另一个 HCLK。

Bank 的左右划分及 IO 管脚归属详见 《GW1N-1 器件 Pinout 手册》。

图 1 GW1N-1 HCLK 分布示意图



Bank0、Bank1、Bank3 没有 HCLK 资源，但对应的 IO Logic 时钟可以由全局时钟提供。

## GW1NZ-1

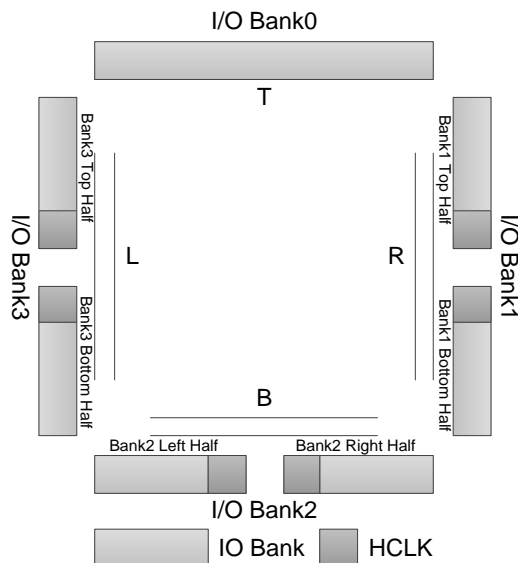
HCLK 资源分布和使用同 GW1N-1 器件。

Bank 的左右划分及 IO 管脚归属详见 [《GW1NZ-1 器件 Pinout 手册》](#)。

## GW1N-4/ GW1NR-4

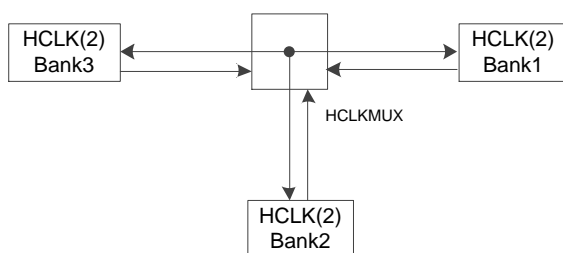
HCLK 资源数量为 6 个，Bank1、Bank2、Bank3 各有 2 个 HCLK 资源。Bank1 的上半 Bank 和下半 Bank 分别有一个 HCLK 资源，位于上半 Bank 上的 HCLK 资源只能用于上半 Bank 上的 IO Logic 资源，下半 Bank 上的 HCLK 资源只能用于下半 Bank 上的 IO Logic 资源。Bank2 和 Bank3 的 HCLK 使用方法同 Bank1。

图 2 GW1N-4/GW1NR-4 HCLK 分布示意图



该芯片内部有 HCLKMUX 资源,即 HCLK 桥接。HCLKMUX 能将 Bank1、Bank2、Bank3 中的任何一个 HCLK 时钟输入信号送到 Bank1、Bank2、Bank3 中任何一个 Bank 中 HCLK, 这使得 HCLK 的使用更加灵活。

图 3 GW1N-4/GW1NR-4 HCLKMUX 示意图



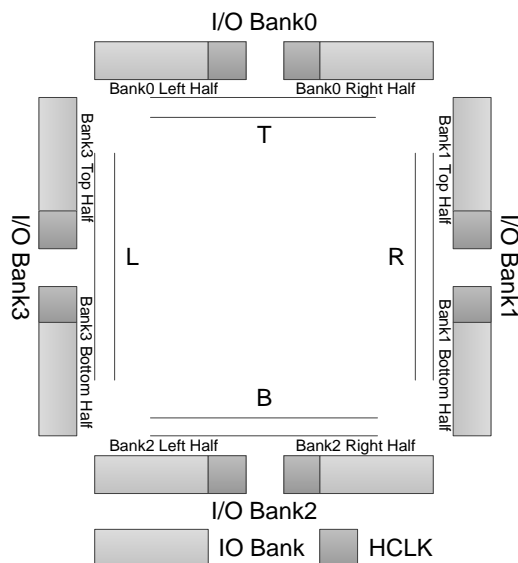
Bank0 没有 HCLK 资源, 但对应的 IO Logic 时钟可以由全局时钟提供。

Bank 的左右划分及 IO 管脚归属详见《GW1N-2&4 器件 Pinout 手册》。

## GW1N-9/ GW1NR-9

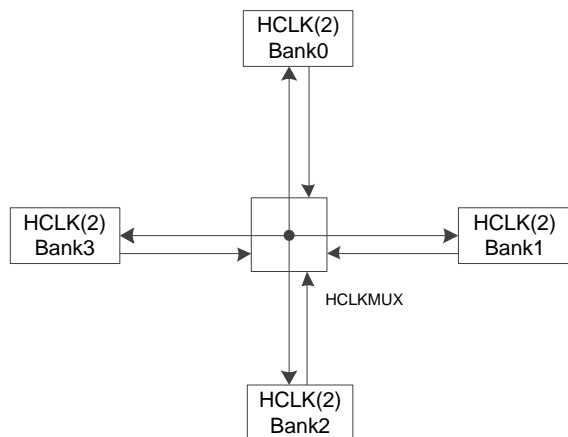
HCLK 资源数量为 8 个, Bank0、Bank1、Bank2、Bank3 各有 2 个 HCLK 资源。Bank0 的左半 Bank 和右半 Bank 分别有一个 HCLK 资源, 位于左半 Bank 上的 HCLK 资源只能用于左半 Bank 上的 IO Logic 资源, 右半 Bank 上的 HCLK 资源只能用于右半 Bank 上的 IO Logic 资源。Bank1、Bank2 和 Bank3 的 HCLK 使用方法同 Bank0。

图 4 GW1N-9/GW1NR-9 HCLK 分布示意图



该芯片内部有 HCLKMUX 资源，即 HCLK 桥接。HCLKMUX 能将 Bank0、Bank1、Bank2、Bank3 中的任何一个 HCLK 时钟输入信号送到 Bank0、Bank1、Bank2、Bank3 中任何一个 Bank 中 HCLK，这使得 HCLK 的使用更加灵活。

图 5 GW1N-9/GW1NR-9 HCLKMUX 示意图

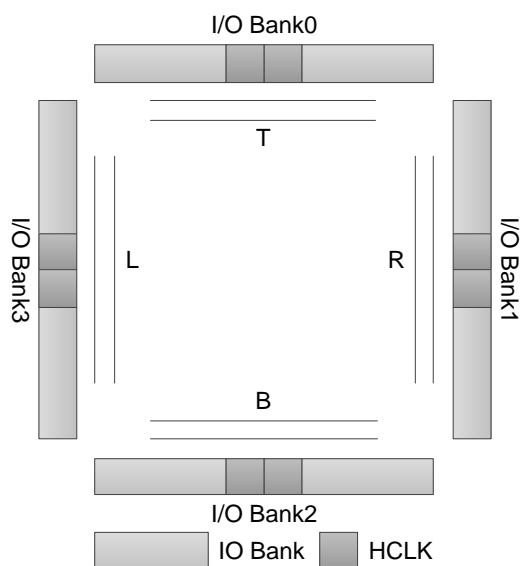


Bank 的左右划分及 IO 管脚归属详见《GW1N-6&9 器件 Pinout 手册》。

## GW1NS-2

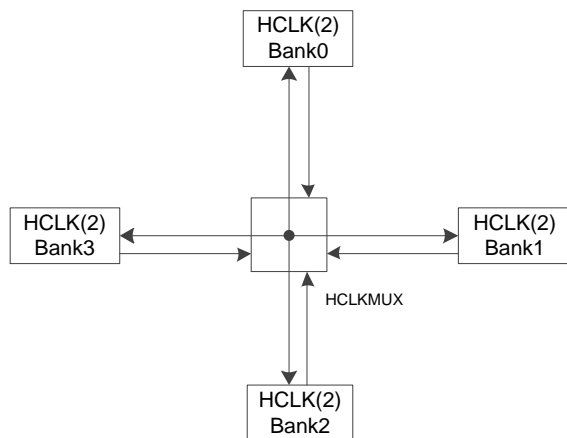
HCLK 资源数量为 8 个，Bank0、Bank1、Bank2、Bank3 各有 2 个 HCLK 资源。Bank0 的 2 个 HCLK 资源只能用于 Bank0 上的 IO Logic 资源。Bank1、Bank2 和 Bank3 的 HCLK 使用方法同 Bank0。

图 6 GW1NS-2 HCLK 分布示意图



该芯片内部有 HCLKMUX 资源,即 HCLK 桥接。HCLKMUX 能将 Bank0、Bank1、Bank2、Bank3 中的任何一个 HCLK 时钟输入信号送到 Bank0、Bank1、Bank2、Bank3 中任何一个 Bank 中 HCLK,这使得 HCLK 的使用更加灵活。

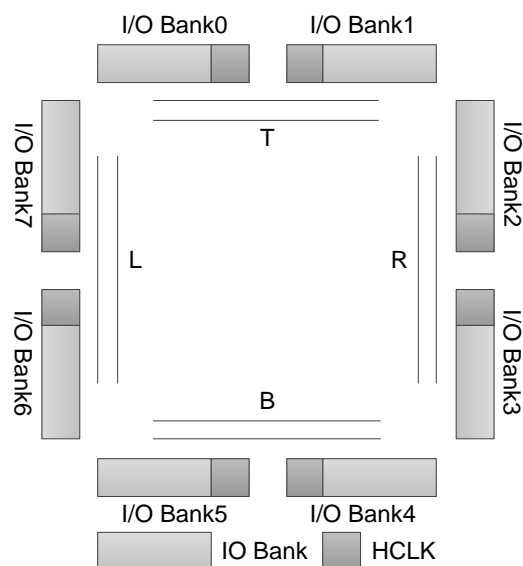
图 7 GW1NS-2 HCLKMUX 示意图



## GW2A-18/ GW2AR-18

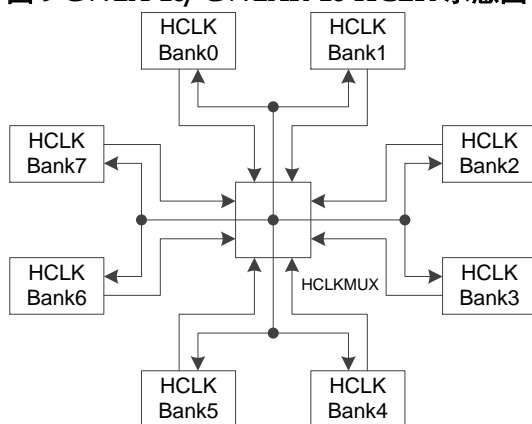
HCLK 资源数量为 8 个,分别位于 Bank0、Bank1、Bank2、Bank3、Bank4、Bank5、Bank6、Bank7。Bank0 和 Bank1 上的 HCLK 资源可以共享,用于 Bank0 和 Bank1 上的 IO Logic 资源。Bank2 和 Bank3、Bank4 和 Bank5、Bank6 和 Bank7 的 HCLK 使用方法同 Bank0 和 Bank1。

图 8 GW2A-18/ GW2AR-18 HCLK 分布示意图



该芯片内部有 HCLKMUX 资源，即 HCLK 桥接。HCLKMUX 能将 Bank 中的任何一个 HCLK 时钟输入信号送到其他任何一个 Bank 中 HCLK，这使得 HCLK 的使用更加灵活。

图 9 GW2A-18/ GW2AR-18 HCLK 示意图



## GW2A-55

HCLK 资源和使用同 GW2A-18 器件。

## 应用举例

### HCLK 原语

#### VHDL

```
COMPONENT CLKDIV
  GENERIC(
    DIV_MODE : STRING := "2";
    GSREN : STRING := "false"
  );
  PORT(
    HCLKIN : IN std_logic;
    RESETN : IN std_logic;
    CALIB: In std_logic;
    CLKOUT : OUT std_logic
  );
end COMPONENT;
```

#### Verilog

```
module CLKDIV(HCLKIN, RESETN, CALIB, CLKOUT);
  input HCLKIN;
  input RESETN;
  input CALIB;
  output CLKOUT;
  parameter DIV_MODE = "2";
  parameter GSREN = "false";
endmodule
```

## 端口

**表 1 CLKDIV 端口信号**

端口	描述
HCLKIN	时钟输入。
RESETN	复位信号，低有效。
CALIB	动态信号调整，调整输出时钟，3.5 分频时使用，输入值为“1”。
CLKOUT	时钟输出。

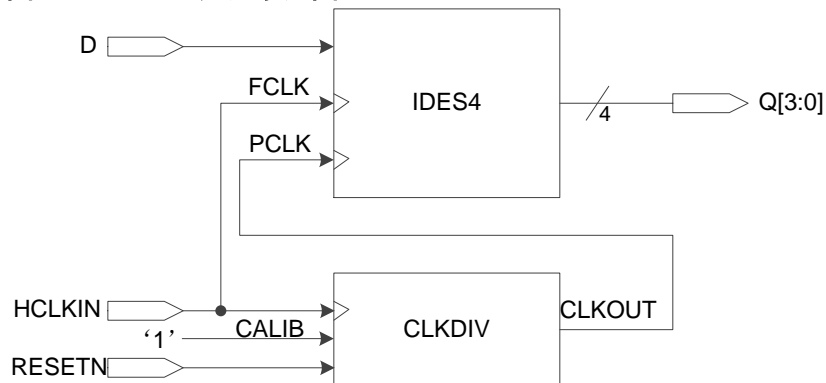
## 参数

**表 2 CLKDIV 参数描述**

参数	描述	默认
DIV_MODE	分频系数： 2, 3.5, 4, 5, 8	2
GSREN	全局复位使能信号： false, true	false

## 应用示意图

**图 10 CLKDIV 应用示意图**





## 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn/>

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: 00 86 0755 82620391

## 版本信息

日期	版本	说明
2018/01/05	1.0	初始版本。

## **版权所有© 2018 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。