



# GW2A(R)系列 FPGA 产品 编程配置手册

UG109-1.03,2017-06-01

## **版权所有©2017 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2016/08/24	1.00	初始版本。
2016/10/17	1.01	增加 GW2AR 系列 FPGA 产品相关描述。
2017/04/18	1.02	<ul style="list-style-type: none"><li>● 更新配置模式的插图，增加 MSPI 配置失败情况的描述；</li><li>● 更新 AES 加密内容的描述；</li><li>● 结合 Gowin FPGA 产品编程配置手册调整部分内容。</li></ul>
2017/06/01	1.03	增加关于 MSPI 配置模式特性及器件支持情况的相关参考信息。

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>ii</b>
表目录 .....	<b>iii</b>
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	2
<b>2 器件介绍 .....</b>	<b>3</b>
<b>3 编程配置须知 .....</b>	<b>4</b>
3.1 支持的配置模式 .....	5
3.2 上电要求 .....	5
<b>4 配置模式介绍 .....</b>	<b>6</b>
4.1 JTAG 配置 .....	6
4.2 SSPI 配置模式 .....	7
4.3 MSPI 配置模式 .....	8
4.4 CPU 配置模式 .....	10
4.5 SERIAL 配置模式 .....	10
<b>5 安全性考虑 .....</b>	<b>11</b>
5.1 AES 加密 .....	11
5.2 安全位设置 .....	13

# 图目录

图 4-1 JTAG 配置模式时序图 .....	6
图 4-2 SSPI 配置模式时序图 .....	7
图 4-3 GW2A/GW2AR 重新上电时序图 .....	8
图 4-4 GW2A/GW2AR RECONFIG_N 触发时序图 .....	8
图 4-5 MSPI 下载模式时序图 .....	8
图 4-6 Gowin 编程软件 MSPI 编程配置图 .....	10
图 5-1 加密密钥配置界面 .....	12
图 5-2 解密密钥配置界面 .....	12

# 表目录

表 1-1 术语、缩略语 .....	2
表 3-1 配置模式 .....	5
表 3-2 GW2A(R)系列 FPGA 产品推荐供电电压 .....	5
表 4-1 JTAG 配置模式时序参数 .....	6
表 4-2 SSPI 配置模式时序参数 .....	7
表 4-3 重新上电和 RECONFIG_N 触发时序参数 .....	9
表 4-4 MSPI 配置模式时序参数 .....	9

# 1 关于本手册

## 1.1 手册内容

本手册主要描述 Gowin 晨熙®(Arora®)家族 GW2A(R)系列 FPGA 产品的编程配置方式，与《Gowin FPGA 产品编程配置手册》结合使用，旨在帮助用户掌握 GW2A/GW2AR 产品的配置方法。

## 1.2 适用产品

本手册中描述的信息适用于以下产品：

- GW2A 系列 FPGA 产品：GW2A-18, GW2A-55;
- GW2AR 系列 FPGA 产品：GW2AR-18。

## 1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

- Gowin FPGA 产品编程配置手册
- GW2A 系列 FPGA 产品数据手册
- GW2AR 系列 FPGA 产品数据手册

## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
LUT	Look-up Table	查找表
FPGA	Field Programmable Gate Array	现场可编程门阵列
SDRAM	Synchronous Dynamic Random Access Memory	同步动态随机存储器
PLL	Phase-locked Loop	锁相环
DSP	Digital Signal Processor	数字信号处理器
JTAG	Joint Test Action Group	联合测试行动组
GPIO	General Purpose Input Output	通用输入、输出接口
SPI	Serial Peripheral Interface	串行外设接口
SRAM	Static Random Access Memory	静态随机存储器
IEEE	Institute of Electrical and Electronics Engineers	电气和电子工程师协会
AES	Advanced Encryption Standard	高级加密标准
ID	Identification	身份标识号
CRC	Cyclic Redundancy Check	循环冗余校验

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391



# 2 器件介绍

高云半导体 GW2A(R)系列 FPGA 产品是高云半导体晨熙<sup>®</sup> (Arora<sup>®</sup>)家族第一代产品，其中 GW2A 系列包含两种密度的器件：GW2A-18 和 GW2A-55，GW2AR 系列含有一种密度的器件：GW2AR-18。

GW2A 系列 FPGA 产品内嵌了块状静态随机存储器(Block SRAM)资源、分布式静态随机存储器资源 (S-SRAM)、锁相环 (PLL+DLL)、数字信号处理器 (MULT18 x 18) 和多种电平标准的 I/O 资源。

GW2AR 系列 FPGA 产品是一款系统级封装芯片，在 GW2A 系列基础上集成了丰富容量的 SDRAM 存储芯片，同时具有 GW2A 系列高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

# 3 编程配置须知

GW2A(R)系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外,还支持高云半导体特有的 GowinCONFIG 配置模式。每款器件支持的 GowinCONFIG 配置模式的多少取决于不同型号和封装形式。器件支持比特流数据加密和安全位设置功能,为用户设计提供了安全性保障。GW2A(R)系列 FPGA 产品支持比特流数据的解压缩功能,用户可以将比特流数据进行压缩以节约存储空间。

## 注!

- 关于配置管脚列表、配置管脚复用及配置管脚功能及应用信息请参考 [《Gowin FPGA 产品编程配置手册》](#) 中 [3 配置管脚介绍](#);
- 关于 GW2A(R)系列 FPGA 产品支持的配置模式、上电要求等其它配置须知请参考下文描述。

## 3.1 支持的配置模式

GW2A(R)系列 FPGA 产品支持的配置模式如表 3-1 所示。

表 3-1 配置模式

配置模式		MODE[2:0] <sup>1</sup>	相关说明
JTAG		XXX <sup>2</sup>	外部 Host 通过 JTAG 接口对 GW2A(R)系列 FPGA 产品进行配置
GowinCONFIG	MSPI	000	GW2A/GW2AR 作为 Master, 通过 SPI 接口 <sup>3</sup> 从外部 Flash (或其他器件) 读取配置数据进行配置
	SSPI	001	外部 Host 通过 SPI 接口对 GW2A(R)系列 FPGA 产品进行配置
	SERIAL <sup>4</sup>	101	外部 Host 通过 DIN 接口对 GW2A(R)系列 FPGA 产品进行配置
	CPU <sup>4</sup>	111	外部 Host 通过 DBUS 接口对 GW2A(R)系列 FPGA 产品进行配置

注!

- [1]对于一些 MODE 管脚没有全部封装出来的器件, 未封装出来的 MODE 默认已接地;
- [2]JTAG 配置模式与 MODE 输入值无关;
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的;
- [4]CPU 配置模式的 SCLK、WE\_N 和 CLKHOLD\_N 管脚与 SERIAL 配置模式共用, CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。

## 3.2 上电要求

GW2A(R)系列 FPGA 产品内部包含一个上电复位管理模块, 推荐供电电压如表 3-2 所示。

器件在满足供电条件之前保持复位状态, 当满足供电要求之后, 上电复位被释放, 器件随即进入编程配置初始化状态。

表 3-2 GW2A(R)系列 FPGA 产品推荐供电电压

名称	描述	最小值	最大值
V <sub>CC</sub>	核电压	0.95V	1.05V
V <sub>CCO</sub>	I/O Bank 电源电压	1.14V	3.465V
V <sub>CCX</sub>	辅助电源电压	3.135V	3.465V

# 4 配置模式介绍

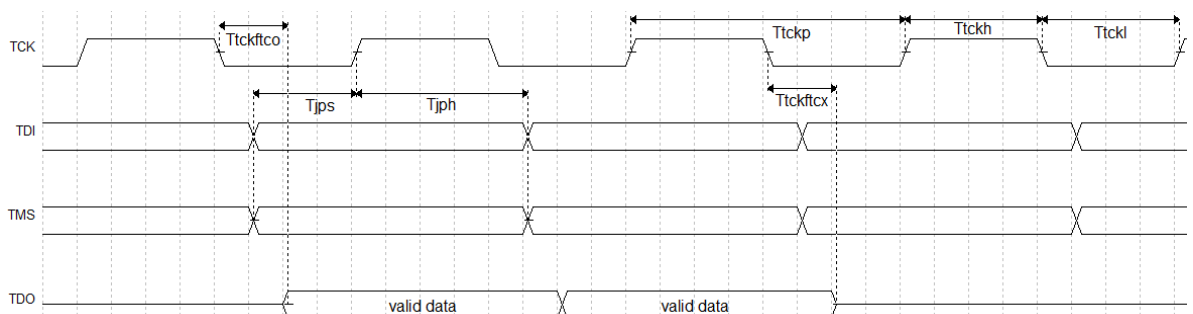
注！

- 本章主要介绍高云半导体 GW2A(R)系列 FPGA 产品所支持配置模式时序图及时序参数；
- 关于各配置模式的管脚定义及器件连接关系图请参考《Gowin FPGA 产品编程配置手册》中 5 配置模式介绍。

## 4.1 JTAG 配置

JTAG 配置模式的时序图如图 4-1 所示。

图 4-1 JTAG 配置模式时序图



图中各个参数的含义如表 4-1 所示。

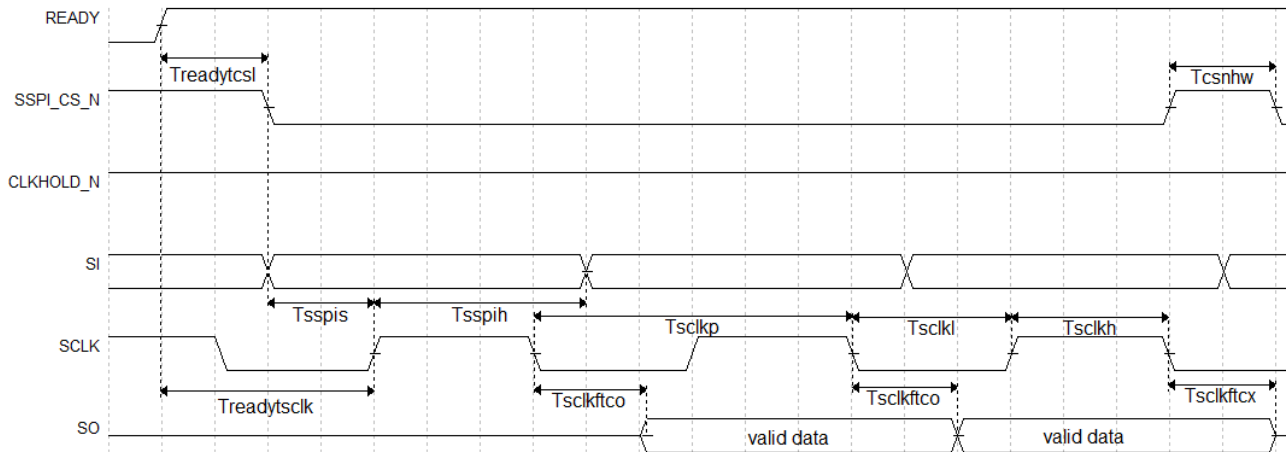
表 4-1 JTAG 配置模式时序参数

参数名称	参数含义	最小值	最大值
$T_{tckftco}$	TCK 下降沿到输出数据时延 (Time from TCK falling edge to output)	-	10ns
$T_{tckftcx}$	TCK 下降沿到输出高阻时延 (Time from TCK falling edge to high impedance)	-	10ns
$T_{tckp}$	TCK 时钟周期 (TCK clock period)	40ns	-
$T_{tckh}$	TCK 时钟高电平时间 (TCK clock high time)	20ns	-
$T_{tckl}$	TCK 时钟低电平时间 (TCK clock low time)	20ns	-
$T_{jps}$	JTAG PORT 建立时间 (JTAG PORT setup time)	10ns	-
$T_{jph}$	JTAG PORT 保持时间 (JTAG PORT hold time)	8ns	-

## 4.2 SSPI 配置模式

SSPI 配置模式的时序图如图 4-2 所示。

图 4-2 SSPI 配置模式时序图



时序参数如表 4-2 所示。

表 4-2 SSPI 配置模式时序参数

参数名称	参数含义	最小值	最大值
$T_{sclkp}$	SCLK 时钟周期(SCLK clock period)	15ns	-
$T_{sclkh}$	SCLK 时钟高电平时间(SCLK clock high time)	7.5ns	-
$T_{sclkl}$	SCLK 时钟低电平时间(SCLK clock low time)	7.5ns	-
$T_{sspis}$	SSPI PORT 建立时间(SSPI PORT setup time)	2ns	-
$T_{sspih}$	SSPI PORT 保持时间(SSPI PORT hold time)	0ns	-
$T_{sclktco}$	SCLK 下降沿到数据输出时延(Time from SCLK falling edge to output)	-	10ns
$T_{sclktcx}$	SCLK 下降沿到输出高阻时延(Time from SCLK falling edge to high impedance)	-	10ns
$T_{csnhw}$	CSN 高电平脉冲宽度 (CSN high time)	25ns	-
$T_{readytcs1}$	READY 上升沿到 CSN 低电平时间(Time from READY rising edge to CSN low)	TBD	
$T_{readytscl}$	READY 上升沿到第一个 SCLK 沿时间(Time from READY rising edge to first SCLK edge)	TBD	-

除满足上电要求外，SSPI 模式对 GW2A(R)系列 FPGA 产品进行配置，还需满足以下条件：

- SSPI 接口使能  
RECONFIG\_N 设为“NON-RECOVERY”状态。
- 启动新的配置  
重新上电或低电平脉冲触发 RECONFIG\_N 管脚。

## 4.3 MSPI 配置模式

将配置数据写入外部 Flash 之后，需要重新上电或低电平脉冲触发 RECONFIG\_N 进行器件配置。重新上电和低电平脉冲触发 RECONFIG\_N 的时序图如图 4-3 和图 4-4 所示。MSPI 配置模式的时序图如图 4-5 所示。

图 4-3 GW2A/GW2AR 重新上电时序图

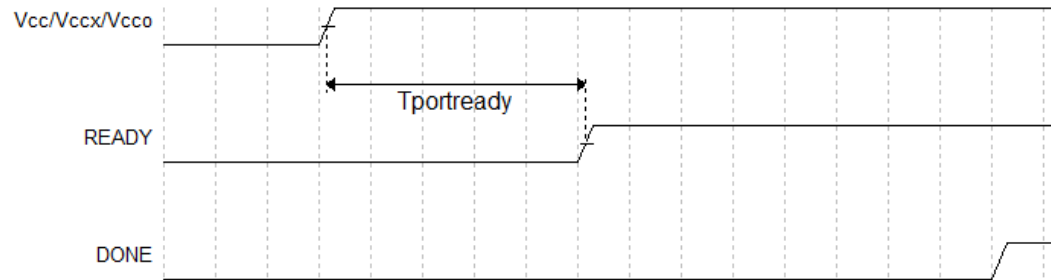


图 4-4 GW2A/GW2AR RECONFIG\_N 触发时序图

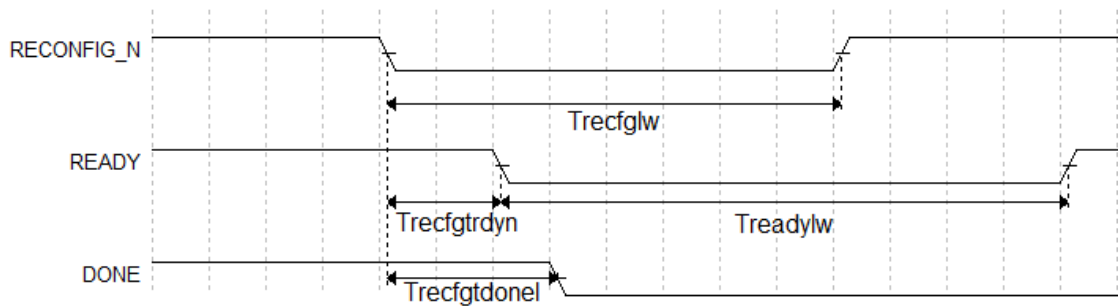
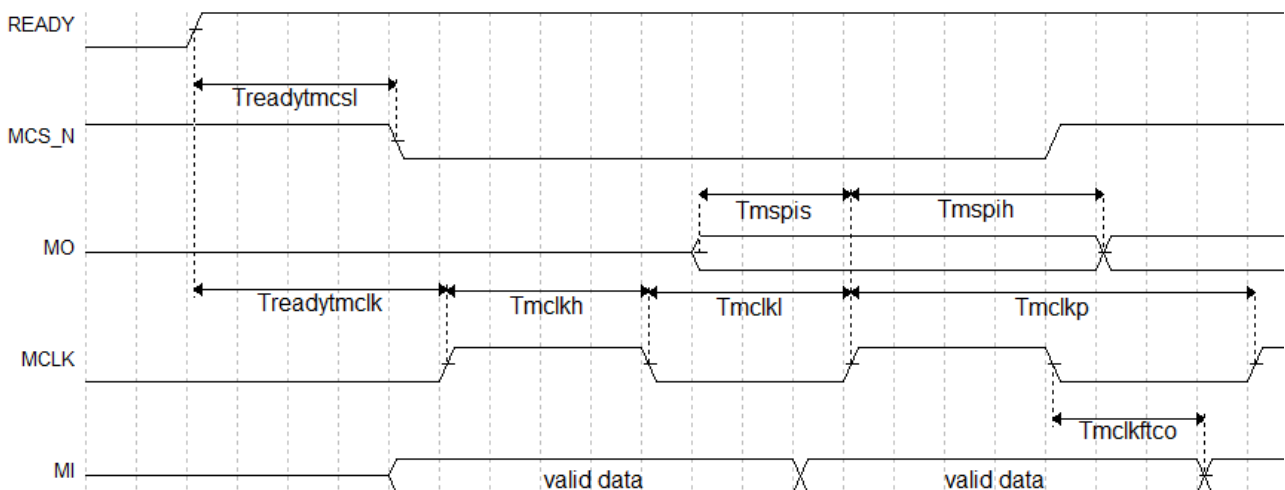


图 4-5 MSPI 下载模式时序图



相关的时序参数如表 4-3 和表 4-4 所示。

**表 4-3 重新上电和 RECONFIG\_N 触发时序参数**

参数名称	参数含义	最小值	最大值
$T_{portready}$	满足上电条件到 READY 的上升沿的时延 (Time from application of $V_{CC}$ , $V_{CCX}$ and $V_{CCO}$ to the rising edge of READY)	-	23ms
$T_{recfglw}$	RECONFIG_N 低电平脉冲宽度 (RECONFIG_N low pulse width)	25ns	-
$T_{recfgtrdyn}$	RECONFIG_N 下降沿到 READY 变低电平的时延 (Time from RECONFIG_N falling edge to READY low)	-	70ns
$T_{readylw}$	READY 低电平脉冲宽度 (READY low pulse width)	TBD	-
$T_{recfgtdonel}$	RECONFIG_N 下降沿到 DONE 变低电平的时延 (Time from RECONFIG_N falling edge to DONE low)	-	80ns

**表 4-4 MSPI 配置模式时序参数**

参数名称	参数含义	最小值	最大值
$T_{mclkp}$	MCLK 时钟周期 (MCLK clock period)	15ns	-
$T_{mclkh}$	MCLK 时钟高电平时间 (MCLK clock high time)	7.5ns	-
$T_{mckl}$	MCLK 时钟低电平时间 (MCLK clock low time)	7.5ns	-
$T_{mspis}$	MSPI PORT 建立时间 (MSPI PORT setup time)	5ns	-
$T_{mspih}$	MSPI PORT 保持时间 (MSPI PORT hold time)	1ns	-
$T_{mckftco}$	MCLK 下降沿到数据输出时延 (Time from MCLK falling edge to output)	-	10ns
$T_{readytmcs}$	READY 上升沿到 MCS_N 低电平时间 (Time from READY rising edge to MCS_N low)	100ns	200ns
$T_{readytmclk}$	READY 上升沿到第一个 MCLK 沿时间 (Time from READY rising edge to first MCLK edge)	2.8 $\mu$ s	4.4 $\mu$ s

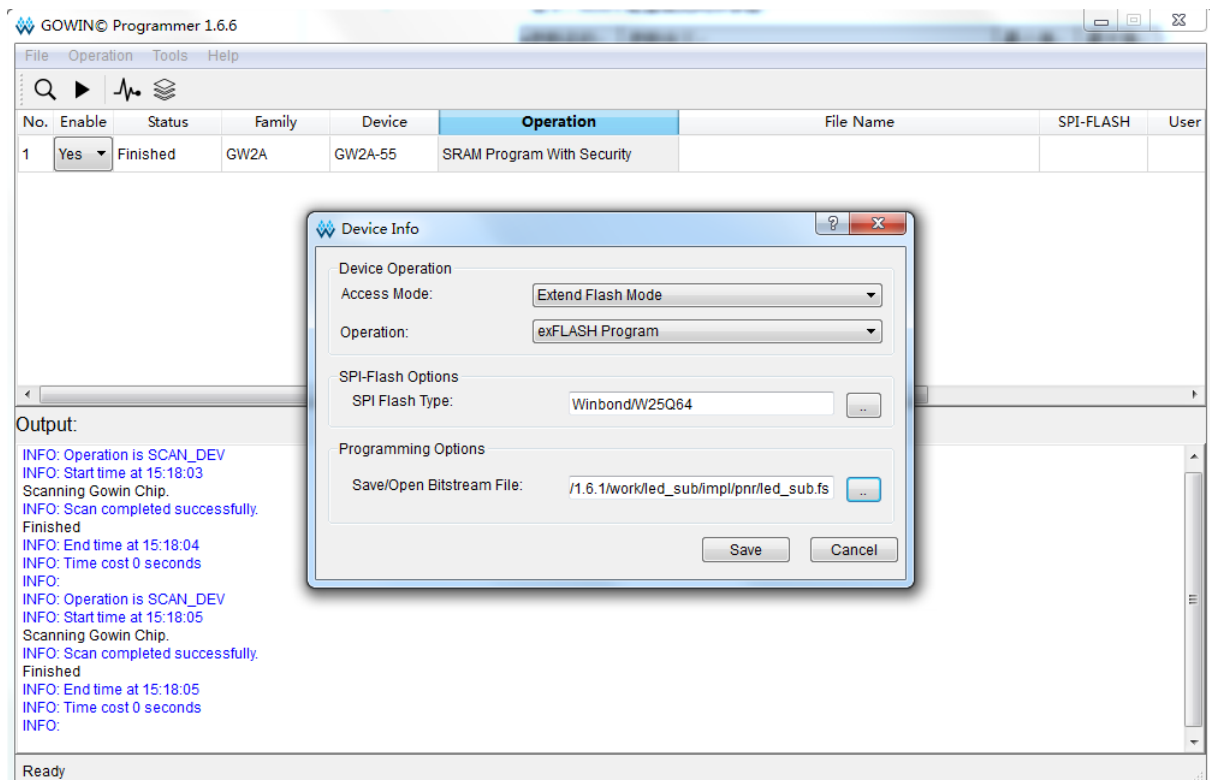
除满足上电要求外，使用 MSPI 模式对 GW2A(R)系列 FPGA 产品进行配置，还需满足以下条件：

- MSPI 接口使能  
RECONFIG\_N 设为 “NON-RECOVERY” 状态。
- 启动新的配置  
重新上电或者低电平脉冲触发 RECONFIG\_N 管脚。

如图 4-6 所示，使用 Gowin 编程软件进行 MSPI 下载：

1. 将 MODE 管脚设置为 “011”，打开 Gowin 编程软件扫描器件并双击 “Operation” 选择外部 Flash 的编程操作，选中对应的 Flash 器件和需要加载的比特流数据，单击 “Save” 保存设置并进行数据加载；
2. 将 MODE 管脚设置为 “000”，低电平脉冲触发 RECONFIG\_N 或者重新上电，器件自行从外部 Flash 读取配置数据，完成配置过程。

图 4-6 Gowin 编程软件 MSPI 编程配置图



关于 MSPI 配置模式的特性及器件支持情况的详细内容请参考 [《Gowin FPGA 产品编程配置手册》](#) 中 [5 配置模式介绍](#)。

## 4.4 CPU 配置模式

除满足上电要求外，使用 CPU 模式对 GW2A(R)系列 FPGA 产品进行配置，还需满足以下条件：

- CPU 接口使能  
RECONFIG\_N 设为“NON-RECOVERY”状态。
- 启动新的配置  
重新上电或者低电平脉冲触发 RECONFIG\_N 管脚。

## 4.5 SERIAL 配置模式

除满足上电要求外，使用 SERIAL 模式对 GW2A(R)系列 FPGA 产品进行配置，还需满足以下条件：

- SERIAL 接口使能  
上电后初次配置或前一次配置时，RECONFIG\_N 设为“NON-RECOVERY”状态。
- 启动新的配置  
重新上电或者低电平脉冲触发 RECONFIG\_N 管脚。



# 5 安全性考虑

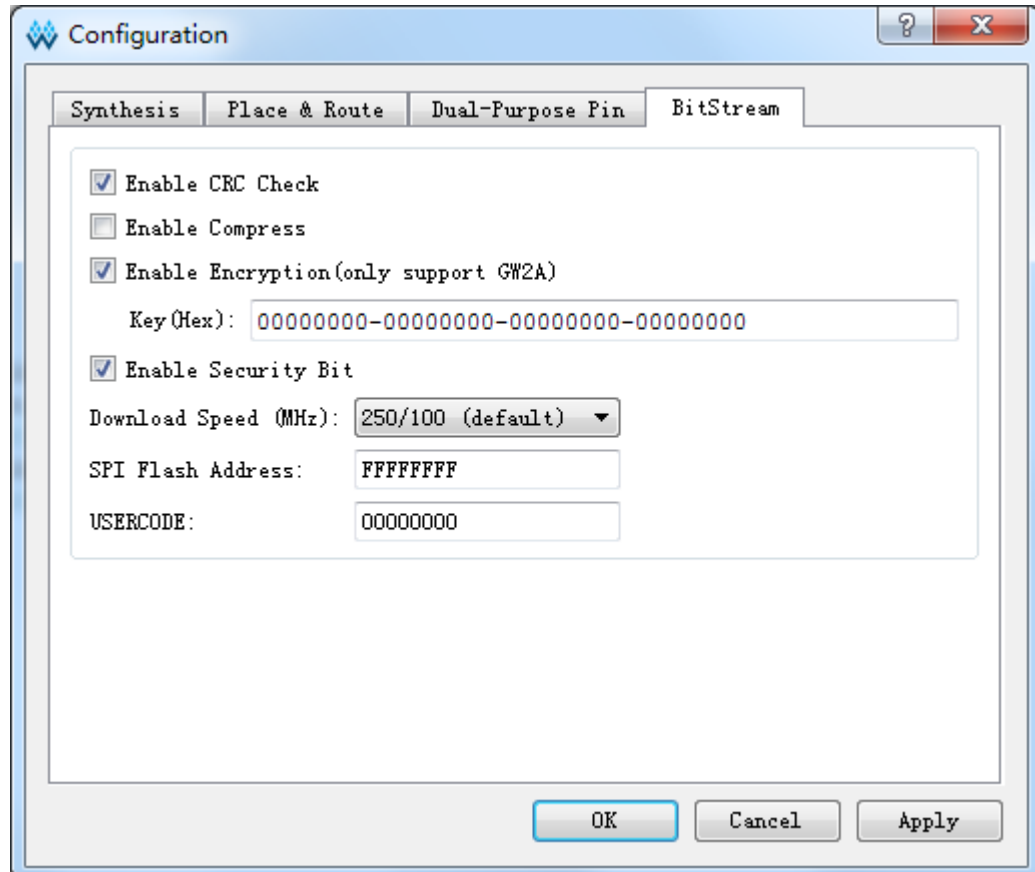
用户使用 FPGA 进行设计,安全性问题是一个关键的考虑因素,GW2A(R) 器件支持比特流数据加密和安全位设置,为用户的设计提供了安全性保障。

## 5.1 AES 加密

GW2A(R)系列 FPGA 产品支持比特流数据密文传输,采用的是 128bit 的 AES 加密算法。加密的比特流数据的配置流程如下:用户在 Gowin 云源软件输入加密密钥生成比特流文件,在 Gowin 编程软件输入解密密钥存入 FPGA,将加密的比特流数据加载到器件之后,器件会自行读取解密密钥进行数据解析。数据解析成功后,器件完成配置并正常工作;数据解析失败后,器件无法工作,READY 和 DONE 信号拉低。

在云源软件中写入加密密钥的方法如下:打开云源软件工程>选择菜单栏 Project>Configuration>切换到 BitStream 选项>选择允许加密并输入密钥值,如图 5-1 所示。详细信息请参考 《GW2A 系列 FPGA 产品 AES 编程指南》。

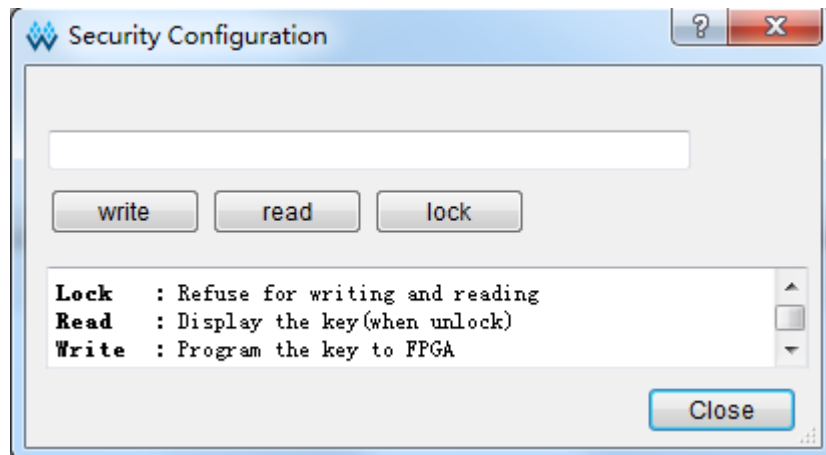
图 5-1 加密密钥配置界面



加密密钥设置成功后,还需要将解密的密钥写入到 FPGA 的密钥存储区,器件才能解析加密的比特流数据完成器件配置。

解密密钥的写入方法如下: 打开 Gowin 编程软件>扫描 FPGA 器件>右键单击器件选择 **Configure Security**>在弹出的界面上输入之前加密的密钥值并单击 **write** 将其写入到 FPGA。解密密钥的设置方法如图 5-2 所示。详细信息请参考《*GW2A 系列 FPGA 产品 AES 编程指南*》。

图 5-2 解密密钥配置界面



解密密钥写入成功后可以选择界面上的读取指令回读写入的密钥进行验证。密钥写入成功后,用户也可选择 **lock** 命令将密钥“锁死”在 **FPGA** 内部,之后任何对密钥的读取和写入操作都将无效: 密钥值无法进行修改,读取的密钥值全部为 **F**。

**注!**

高云半导体 **FPGA** 的密钥初始值所有位全部为 **0**,当把密钥值的某一位修改为 **1** 后便无法改回 **0**。例如,用户的某次操作中写入的密钥值为 **00000000-00000000-00000000-00000001**,之后修改此器件的密钥时最低位也必须是 **1**。

## 5.2 安全位设置

除了支持比特流数据加密方式, **GW2A(R)**系列 **FPGA** 产品还支持安全位设置, **Gowin** 云源软件默认设置了安全位, 器件配置成功后任何用户都无法回读配置数据。**GW2A(R)**系列 **FPGA** 产品的安全措施大致分为三个阶段:

- 配置开始前, 编程软件自动检查比特流数据的合法性;
- 配置过程中, **GW2A(R)**器件实时校验传输数据的正确性;
- 配置完成后, **GW2A(R)**器件进入工作状态, 屏蔽一切形式的回读请求。

三个阶段的详细描述信息如下:

### 配置开始前

使用高云半导体的编程软件进行配置操作, 请参考以下步骤:

1. 进行配置电路的硬件连接;
2. 启动编程软件进行器件扫描, 软件自动识别已连接的 **FPGA** 产品;
3. 选择比特流数据和编程配置模式进行器件的编程配置。

上述过程中, 编程软件首先读取已连接器件的 **ID**, 然后将其与用户选择的比特流数据中的 **ID** 进行比较, 只有二者一致才能进行操作, 否则, 用户选择的比特流数据被判定为非法数据, 无法进行编程配置。

**注!**

**GW2A(R)**系列 **FPGA** 产品具有特定的 **ID**, 以便与其他系列产品进行区分。使用 **Gowin** 云源软件生成的比特流数据中自动添加了器件的 **ID** 验证指令, 用户只需在建立工程时选择 **GW2A(R)**器件即可。

### 配置过程中

配置过程开始后, 器件首先读取比特流数据的 **ID** 信息进行校验, 校验通过后开始编程配置过程。为防止比特流数据被篡改的情况和传输过程中可能发生的错误, **GW2A(R)**器件采用 **CRC** 校验的方式确保比特流文件中的所有数据位正确写入 **FPGA**, 具体过程如下:

**Gowin** 云源软件生成的比特流数据中每段地址后都加入了该段地址对应数据的 **CRC** 校验码, **GW2A(R)**器件在接收数据的过程中也会不断地生成校验码, 与器件接收的校验码进行比较, 一旦发现校验错误, 之后的数据将被忽略, 配置完成后 **DONE** 指示灯不会被点亮, 编程软件界面上弹出 **CRC** 校验出错的提示。

### 配置完成后

配置完成后，器件的比特流数据加载到 **SRAM** 中完成启动。

对于加载到 **SRAM** 中的数据，**Gowin** 云源软件在生成比特流数据的过程中自动设置了安全位，任何用户都无法读取 **SRAM** 中的数据。

#### 注！

高云半导体不对外部 **Flash** 的存储安全性负责。

