



GW1NR 系列 FPGA 产品 封装与管脚手册

UG119-1.01,2017-04-25

版权所有©2017 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2017/03/14	1.00	初始版本
2017/04/25	1.01	<ul style="list-style-type: none">● 修改表 2-4 GW1NR-4 器件管脚数目列表;● 修改 GW1NR-4 QN88 封装的引脚图。

目录

目录.....	i
图目录.....	ii
表目录.....	iii
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 适用产品.....	1
1.3 相关文档.....	1
1.4 术语、缩略语.....	1
1.5 技术支持与反馈.....	2
2 概述.....	3
2.1 无铅封装.....	3
2.2 封装和最大用户 I/O 信息.....	3
2.3 专用管脚.....	4
2.4 管脚数目.....	4
2.4.1 GW1NR-4 器件管脚数目.....	4
2.5 管脚定义说明.....	5
2.6 I/O BANK 说明.....	7
3 管脚分布示意图.....	8
3.1 GW1NR-4 器件管脚分布示意图.....	8
3.1.1 QN88 管脚分布示意图.....	8
4 封装尺寸.....	10
4.1 封装尺寸 QN88 Package Outline (10mm x 10mm).....	11

图目录

图 2-1 GW1NR 系列 FPGA 产品 I/O BANK 整体示意图	7
图 3-1 GW1NR-4 器件 QN88 封装管脚分布示意图（顶视图）	8
图 4-1 封装尺寸 QN88	11

表目录

表 1-1 术语、缩略语	1
表 2-1 封装和最大用户 I/O 信息	3
表 2-2 GW1NR 专用管脚	4
表 2-3 GW1NR 其他管脚	4
表 2-4 GW1NR-4 器件管脚数目列表	4
表 2-5 GW1NR 系列 FPGA 产品管脚定义说明	5
表 3-1 GW1NR-4 器件 QN88 LVDS 统计表	9
表 3-2 GW1NR-4 器件 QN88 其他管脚	9

1 关于本手册

1.1 手册内容

GW1NR 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NR 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 适用产品

本手册中描述的信息适用于以下产品：

GW1NR 系列 FPGA 产品：GW1NR-4、GW1NR-6、GW1NR-9。

1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

1. GW1NR 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品封装与管脚手册
3. GW1NR-4 器件 Pinout 手册
4. GW1N 系列 FPGA 产品编程配置手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SIP	System in Package	系统级封装
SDRAM	Synchronous Dynamic RAM	同步动态随机存储器
QN88	QFN88	QFN88 封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW1NR 系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®) 家族 FPGA 第一代产品，封装类型丰富，不同型号器件 I/O 兼容性强，使用方便灵活。

2.1 无铅封装

GW1NR 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NR 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息

封装 ¹	间距 (mm)	尺寸 (mm ²)	GW1NR-4 ²	GW1NR-6	GW1NR-9
QN88	0.4	10 x 10	69	-	-

注！

- [1]本手册中 GW1NR 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 1.4 术语、缩略语；
- [2]详细信息请参考 《GW1NR 系列 FPGA 产品 Pinout 手册》。

2.3 专用管脚

表 2-2 和表 2-3 是 GW1NR 系列 FPGA 产品的专用管脚说明。

表 2-2 GW1NR 专用管脚

MODE2	MODE1	MODE0
-------	-------	-------

表 2-3 GW1NR 其他管脚

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCX	VSS	NC

2.4 管脚数目

2.4.1 GW1NR-4 器件管脚数目

表 2-4 GW1NR-4 器件管脚数目列表

管脚类型		GW1NR-4
		QN88
I/O 单端/差分对 /LVDS ¹	BANK0 ²	18/5/0
	BANK1	15/6/2
	BANK2	23/9/7
	BANK3	13/4/2
I/O 单端/差分对		69/24
真 LVDS 差分对		11
最大用户 I/O 总数		69
VCC		4
VCCX		2 ³
VCCO0		2 ³
VCCO1		1
VCCO2		2
VCCO3		1
VSS		6
专用管脚		2
JTAGSEL_N		1

注！

- [1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚；
- [2]这里的数目不包括专用管脚 Mode；
- [3] VCCX 与 VCCO0 对应的 78 管脚内部短接在一起。

2.5 管脚定义说明

GW1NR 系列 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-5 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定義以及其他管脚定义进行了详细说明。

表 2-5 GW1NR 系列 FPGA 产品管脚定义说明

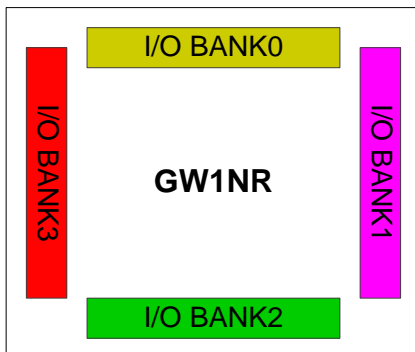
管脚名称	方向	说明
用户 I/O 管脚		
IO[End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括 L(left) R(right) B(bottom) T(top) [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为 T(top)或 B(bottom)，则提供列信息，即管脚对应的 CFU 列数。若[End]为 L(left)或 R(right)，则提供行信息，即管脚对应的 CFU 行数[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户 I/O
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的 GowinCONFIG 配置
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N /D3	I/O	MSPI 模式下 Flash 访问速度选择端口 FASTRD_N，低电平表示使用高速 Flash 访问模式，高电平表示使用普通 Flash 访问模式 CPU 模式下的数据端口 D3
MCLK /D4	I/O	MSPI 模式下时钟输出 MCLK CPU 模式下的数据端口 D4
MCS_N /D5	I/O	MSPI 模式下的使能信号 MCS_N，低电平有效 CPU 模式下的数据端口 D5
MI /D7	I/O	MSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D7
MO /D6	I/O	MSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D6
SSPI_CS_N /D0	I/O	SSPI 模式下的使能信号 SSPI_CS_N，低电平有效，内部弱上拉 CPU 模式下的数据端口 D0
SO /D1	I/O	SSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D1
SI /D2	I/O	SSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D2

管脚名称	方向	说明
TMS	I, 内部弱上拉	JTAG 模式串行模式输入
TCK	I	JTAG 模式串行时钟输入, 需要再 PCB 上连接 4.7K 下拉电阻
TDI	I, 内部弱上拉	JTAG 模式串行数据输入
TDO	O	JTAG 模式串行数据输出
JTAGSEL_N	I, 内部弱上拉	JTAG 模式选择信号, 低电平有效。
SCLK	I	SSPI, SERIAL, CPU 模式下的时钟输入
DIN	I, 内部弱上拉	SERIAL 模式下的数据输入
DOUT	O	SERIAL 模式下的数据输出
CLKHOLD_N	I, 内部弱上拉	高电平表示 SSPI 模式和 CPU 模式操作有效 低电平表示 SSPI 模式和 CPU 模式操作无效
WE_N	I	CPU 模式下选择 D[7: 0]的数据输入输出方向
GCLK[n]_[x]	I	全局时钟输入管脚。[n]: 差分信号对输入时, T(True) 对应管脚 A, C(Comp)对应管脚 B。单端信号输入时, 仅限于从 GCLKT[n]输入。[x]: 全局时钟差分序号
PLL[n]_fb	I	PLL 反馈输入管脚, [n]: 差分信号对输入时, T(True) 对应管脚 A, C(Comp)对应管脚 B。单端信号输入时, 仅限于从 PLLT_fb 输入
PLL[n]_in	I	PLL 时钟输入管脚, [n]: 差分信号对输入时, T(True) 对应管脚 A, C(Comp)对应管脚 B。单端信号输入时, 仅限于从 PLLT_in 输入
专用管脚		
MODE2	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE1	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE0	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground 管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的 I/O 电压供电管脚
VCCX	NA	辅助电压供电管脚

2.6 I/O BANK 说明












GW1NR 系列 FPGA 产品分为四个 I/O BANK 区，图 2-1 为 GW1NR 系列 FPGA 产品的 I/O BANK 整体示意图。

图 2-1 GW1NR 系列 FPGA 产品 I/O BANK 整体示意图



封装与管脚手册列举了 GW1NR 系列 FPGA 产品每种封装的管脚分布示意图。GW1NR 系列 FPGA 产品的四个 BANK 用四种颜色区分，黄色填充表示 BANK0，紫色填充表示 BANK1，绿色填充表示 BANK2，红色填充表示 BANK3。

用户 I/O 和有复用功能的 I/O、电源、地和专用管脚使用不同的符号和颜色来区分。GW1NR 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- 黄色填充表示 BANK0 的管脚，紫色填充表示 BANK1 的管脚；
- 绿色填充表示 BANK2 的管脚，红色填充表示 BANK3 的管脚；
-  表示 BANK0 中的单端 I/O，填充颜色随 BANK 变化；
-  表示 BANK0 中差分 I/O 的 PADA，填充颜色随 BANK 变化；
-  表示 BANK0 中差分 I/O 的 PADB，填充颜色随 BANK 变化；
-  表示 BANK1 中和下载配置相关的复用的差分 I/O 的 PADA，填充颜色随 BANK 变化；
-  表示 VCC，填充颜色不变；
-  表示 VCCX，填充颜色不变；
-  表示 VCCO3，填充颜色随 I/O BANK 变化；
-  表示 VCCO2，填充颜色随 I/O BANK 变化；
-  表示 VSS，填充颜色不变；
-  表示专用管脚；
-  表示 NC。

3 管脚分布示意图

3.1 GW1NR-4 器件管脚分布示意图

3.1.1 QN88 管脚分布示意图

图 3-1 GW1NR-4 器件 QN88 封装管脚分布示意图（顶视图）

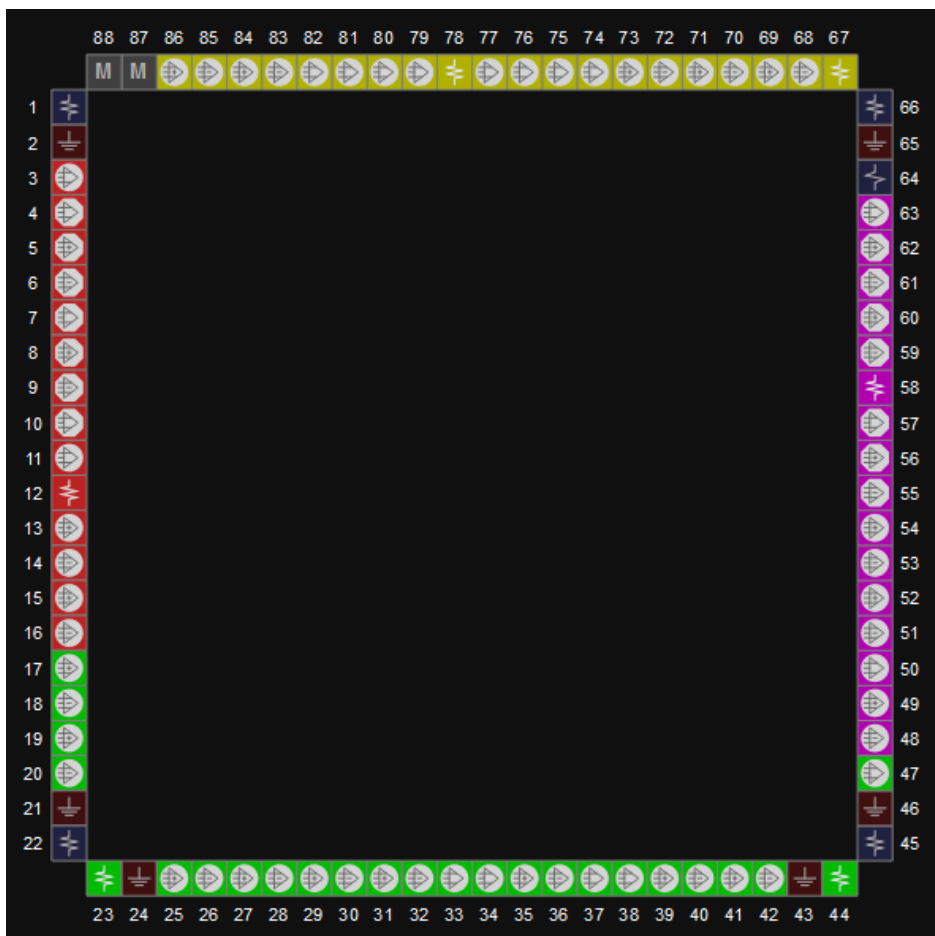


表 3-1 GW1NR-4 器件 QN88 LVDS 统计表

管脚类型	BANK0	BANK1	BANK2	BANK3
LVDS	0	2	7	2

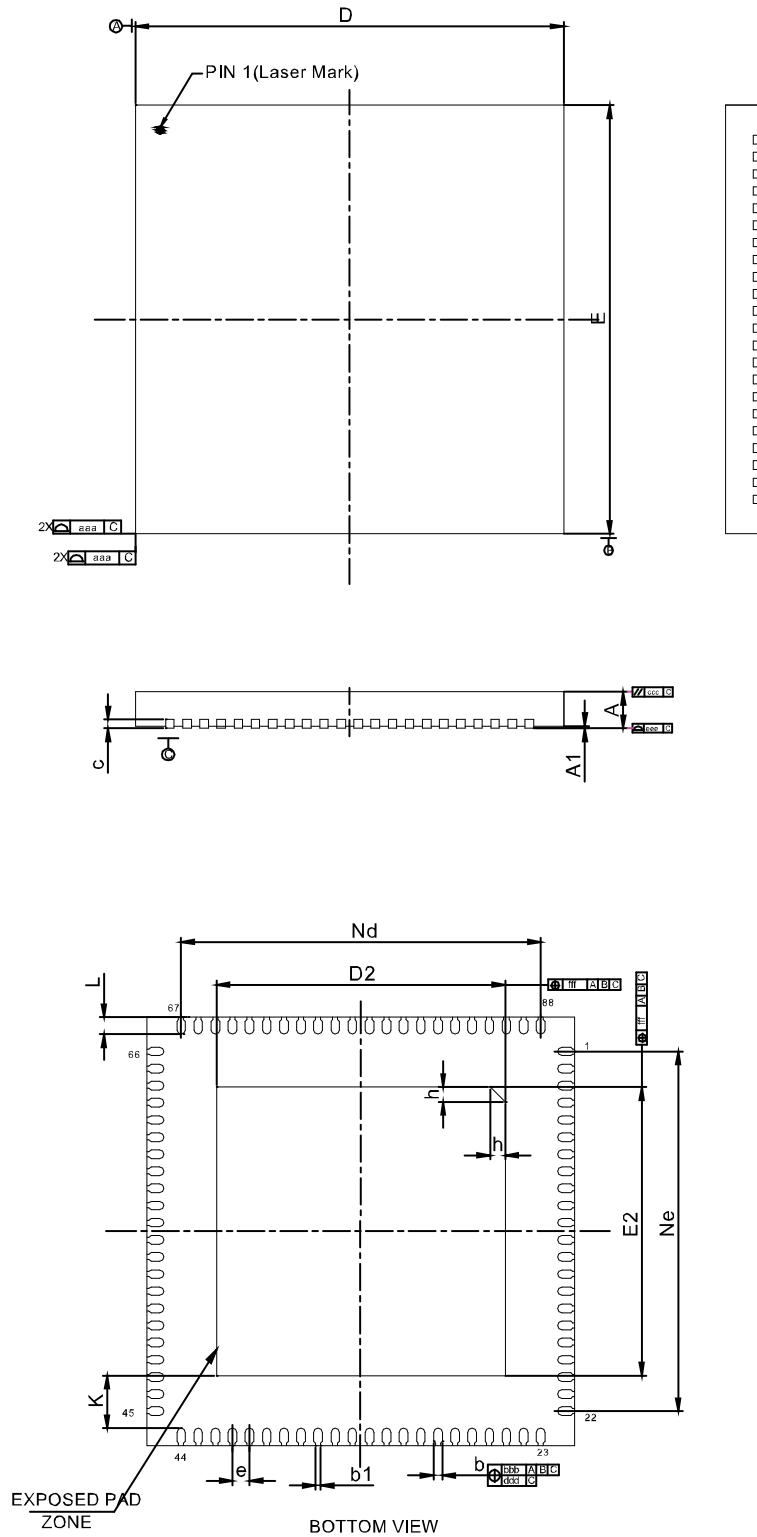
表 3-2 GW1NR-4 器件 QN88 其他管脚

VCC	1, 22, 45, 66
VCCO0	67, 78
VCCO1	58
VCCO2	23, 44
VCCO3	12
VCCX	64, 78
VSS	2, 21, 24, 43, 46, 65

4 封装尺寸

4.1 封装尺寸 QN88 Package Outline (10mm x 10mm)

图 4-1 封装尺寸 QN88



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.80	0.85	0.90
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.12REF		
c	0.18	0.20	0.25
D	9.90	10.00	10.10
D2	6.64	6.74	6.84
e	0.40BSC		
Nd	8.40BSC		
E	9.90	10.00	10.10
E2	6.64	6.74	6.84
Ne	8.40BSC		
L	0.30	0.40	0.50
K	0.20	-	-
h	0.30	0.35	0.40
aaa	0.10		
bbb	0.07		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

