



GW1N(R)系列 FPGA 产品 编程配置手册

UG100-1.11, 2017-06-01

版权所有©2017 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2015/12/30	1.00	初始版本
2016/03/02	1.05	修正所有下载管脚的名称
2016/07/04	1.06	扩充器件安全性相关的描述
2016/07/11	1.07	标准化插图
2016/09/13	1.08	修正双启动配置模式的描述，增加比特流文件的大小
2017/03/07	1.09	<ul style="list-style-type: none">● 更新部分配置模式的插图，增加 GW1N-9 配置重试的描述；● 更新 GW1N-1 相关内容的描述。
2017/04/20	1.10	结合 Gowin FPGA 产品编程配置手册调整部分内容。
2017/06/01	1.11	<ul style="list-style-type: none">● 更新不同器件支持的配置模式及 mode 值；● 更新编程内置 Flash 时 RECONFIG_N 注意事项。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 器件介绍	3
3 编程配置须知	5
3.1 支持的配置模式	6
3.2 上电要求	6
4 配置模式介绍	7
4.1 JTAG 配置	7
4.2 自启动配置	8
4.3 SSPI 配置模式	9
4.4 MSPI 配置模式	10
4.5 双启动配置	11
4.6 CPU 配置模式	12
4.7 SERIAL 配置模式	12
5 安全性考虑	13
6 内置 Flash 介绍	15
6.1 华力 Flash 模块 (GW1N-1)	15
6.2 TSMC Flash 模块 (GW1N-2/4/6/9, GW1NR-4)	15

图目录

图 4-1 JTAG 配置模式时序图	7
图 4-2 GW1N 重新上电时序图	8
图 4-3 GW1N R ECONFIG_N 触发时序图	8
图 4-4 SSPI 配置模式时序图	9
图 4-5 MSPI 下载模式时序图	10

表目录

表 1-1 术语、缩略语	2
表 3-1 配置模式	6
表 3-2 GW1N(R)系列 FPGA 产品推荐供电电压	6
表 4-1 JTAG 配置模式时序参数	8
表 4-2 重新上电和 RECONFIG_N 触发时序参数	9
表 4-3 SSPI 配置模式时序参数	10
表 4-4 MSPI 配置模式时序参数	11

1 关于本手册

1.1 手册内容

本手册主要描述 Gowin 小蜜蜂®(LittleBee®)家族 GW1N(R)系列 FPGA 产品的编程配置方式,与《*Gowin FPGA 产品编程配置手册*》结合使用,旨在帮助用户掌握 GW1N 产品的配置方法。

1.2 适用产品

本手册中描述的信息适用于以下产品:

- GW1N 系列 FPGA 产品: GW1N-1、GW1N-2、GW1N-4、GW1N-6 及 GW1N-9;
- GW1NR 系列 FPGA 产品: GW1NR-4、GW1NR-6 及 GW1NR-9。

1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档:

- Gowin FPGA 产品编程配置手册
- GW1N 系列 FPGA 产品数据手册
- GW1NR 系列 FPGA 产品数据手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
LUT	Look-up Table	查找表
FPGA	Field Programmable Gate Array	现场可编程门阵列
SDRAM	Synchronous Dynamic Random Access Memory	同步动态随机存储器
PLL	Phase-locked Loop	锁相环
DSP	Digital Signal Processor	数字信号处理器
JTAG	Joint Test Action Group	联合测试行动组
GPIO	General Purpose Input Output	通用输入、输出接口
SPI	Serial Peripheral Interface	串行外设接口
SRAM	Static Random Access Memory	静态随机存储器
IEEE	Institute of Electrical and Electronics Engineers	电气和电子工程师协会
TBD	To Be Determined	待定
ID	Identification	身份标识号
CRC	Cyclic Redundancy Check	循环冗余校验

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 器件介绍

高云半导体 GW1N(R)系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®) 家族第一代产品, 具有低功耗、瞬时启动、低成本、非易失性、高安全性、封装类型丰富、使用方便灵活等特点。GW1N 系列 FPGA 产品有五种规格的器件, 分别是 GW1N-1、GW1N-2、GW1N-4、GW1N-6 和 GW1N-9, 对应的内部基本逻辑单元 LUT4 (4 输入查找表) 资源数量依次为 1K、2K、4K、6K 和 9K, 最大用户 I/O 数量 272 个。另外, 除了 LUT4 资源, GW1N 系列 FPGA 产品都内嵌了锁相环(PLL)、块状静态随机存储器(Block SRAM)资源、用户闪存资源(User Flash)和多种电平标准的 I/O 资源。GW1N-2、GW1N-4、GW1N-6 和 GW1N-9 器件内嵌数字信号处理模块 (DSP), GW1N-6 和 GW1N-9 器件的 LUT 资源通过配置可作为分布式静态存储器 (S-SRAM) 资源使用。

GW1NR 系列 FPGA 产品与 GW1N 系列同样规格的器件内部资源(LUT4、PLL、存储器、DSP 等) 相同, GW1NR 系列在 GW1N 系列的基础上额外集成了 SDRAM 资源, SDRAM 资源的大小为 1024K x 16bit x 4bank。GW1NR 系列 FPGA 产品器件的编程配置特性与 GW1N 系列 FPGA 产品完全相同。

GW1N-1 用户闪存内嵌的是华力的 Flash 模块, GW1N(R)其他系列的 FPGA 产品用户闪存内嵌的是 TSMC 的 Flash 模块。

GW1N-1 器件只支持 1.2V 核电压 LV 版本; GW1N(R)其他系列的 FPGA 产品分为 LV 和 UV 两个版本, LV 版本器件支持 1.2V 核供电电压, 可以满足用户低功耗的需求, I/O Bank 供电电压 V_{CC0} 根据需要可在 1.2V、1.5V、1.8V、2.5V 和 3.3V 中灵活选择。UV 版本器件, 为方便用户实现单一电源供电, 内部集成了线性稳压器, 核电压可支持 1.8V, 2.5V 和 3.3V。



注意

无论 LV 还是 UV 版本器件, 辅助电压 V_{CCX} 都只支持 2.5V 和 3.3V, 并且 V_{CCX} 必须大于等于 V_{CC0} 。

GW1N(R)系列 FPGA 产品支持三种速度等级: -4, -5 和 -6, 速度等级 -6

代表快速器件。

注！

LV 版本和 UV 版本除了核供电电压不同之外，内部资源和管脚完全兼容。

3 编程配置须知

GW1N(R)系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式。每款器件支持的 GowinCONFIG 配置模式多少取决于不同型号和封装形式。所有器件均支持 JTAG 和 AUTO BOOT 模式，器件支持的配置模式最多可达 6 种。

GW1N(R)系列 FPGA 产品编程配置有如下特点：

- 启动速度快—毫秒级
- 配置模式灵活多样
- 安全可靠性高
- 用户闪存空间大

注！

- 关于配置管脚列表、配置管脚复用及配置管脚功能及应用信息请参考 [《Gowin FPGA 产品编程配置手册》](#) 中 [3 配置管脚介绍](#)；
- 关于 GW1N(R)系列 FPGA 产品支持的配置模式、上电要求等其它配置须知请参考 [3.1](#) 支持的配置模式及 [3.2](#) 上电要求。

3.1 支持的配置模式

GW1N(R)系列 FPGA 产品支持的配置模式如表 3-1 所示。

表 3-1 配置模式

配置模式		MODE[2:0] ¹	相关说明
JTAG		XXX ²	外部 Host 通过 JTAG 接口对 GW1N(R)系列 FPGA 产品进行配置
GowinCONFIG	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配置
	SSPI	001	外部 Host 通过 SPI 接口对 GW1N(R)系列 FPGA 产品进行配置
	MSPI	010	GW1N 作为 Master, 通过 SPI 接口 ³ 从外部 Flash (或其他器件) 读取配置数据进行配置
	DUAL BOOT ⁴	100	FPGA 优先选择内置 Flash 读取配置数据进行配置, 内置 Flash 配置失败时选择从外部 Flash 进行配置
	SERIAL ⁵	101	外部 Host 通过 DIN 接口对 GW1N(R)系列 FPGA 产品进行配置
	CPU ⁵	111	外部 Host 通过 DBUS 接口对 GW1N(R)系列 FPGA 产品进行配置

注!

- [1]对于一些 MODE 管脚没有全部封装出来的器件, 未封装出来的 MODE 默认已接地;
- [2]JTAG 配置模式与 MODE 输入值无关;
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的;
- [4] GW1N(R)-2 和 GW1N(R)-4 目前暂不支持 DUAL BOOT; GW1N(R)-6 和 GW1N(R)-9 除了支持 MODE 值为 100 的 DUAL BOOT 外, 还支持优先从外部 Flash 启动的模式, MODE 值为 110;
- [5]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用, CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。

3.2 上电要求

GW1N(R)系列 FPGA 产品内部包含一个上电复位管理模块, 推荐供电电压如表 3-2 所示。

器件在满足供电条件之前保持复位状态, 当满足供电要求之后, 上电复位被释放, 器件随即进入编程配置初始化状态。

表 3-2 GW1N(R)系列 FPGA 产品推荐供电电压

名称	描述	最小值	最大值
V _{CC}	LV 版本核电压	1.14V	1.26V
	UV 版本核电压	1.71V	3.465V
V _{CCO}	I/O Bank 电源电压	1.14V	3.6V
V _{CCX}	辅助电源电压	2.3V	3.465V

4 配置模式介绍

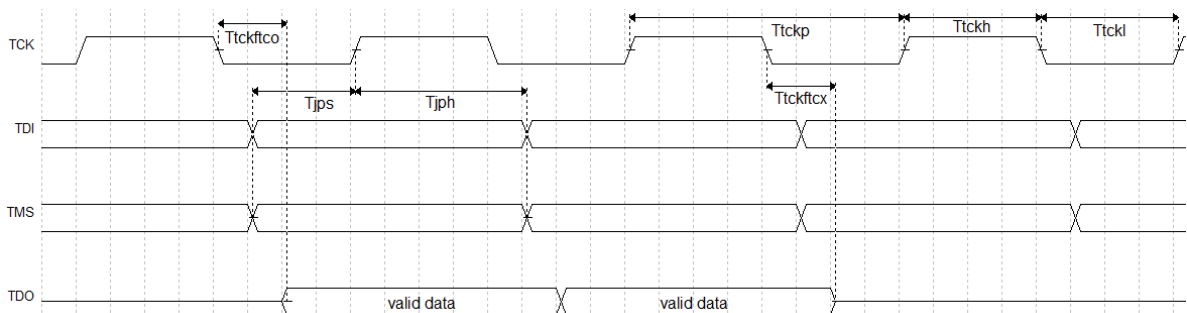
注！

- 本章主要介绍高云半导体 GW1N(R)系列 FPGA 产品所支持配置模式时序图及时序参数；
- 关于各配置模式的管脚定义及器件连接关系图请参考《*Gowin FPGA 产品编程配置手册*》中 [5 配置模式介绍](#)。

4.1 JTAG 配置

JTAG 配置模式的时序图如图 4-1 所示。

图 4-1 JTAG 配置模式时序图



图中各个参数的含义如表 4-1 所示。

表 4-1 JTAG 配置模式时序参数

参数名称	参数含义	最小值	最大值
$T_{tckftco}$	TCK 下降沿到输出数据时延 (Time from TCK falling edge to output)	-	10ns
$T_{tckftcx}$	TCK 下降沿到输出高阻时延 (Time from TCK falling edge to high impedance)	-	10ns
T_{tckp}	TCK 时钟周期 (TCK clock period)	40ns	-
T_{tckh}	TCK 时钟高电平时间 (TCK clock high time)	20ns	-
T_{tckl}	TCK 时钟低电平时间 (TCK clock low time)	20ns	-
T_{jps}	JTAG PORT 建立时间 (JTAG PORT setup time)	10ns	-
T_{jph}	JTAG PORT 保持时间 (JTAG PORT hold time)	8ns	-

4.2 自启动配置

内置 Flash 的配置过程通过 JTAG 接口完成，配置完成后，低电平脉冲触发 RECONFIG_N 或者重新上电开始自启动配置，时序图如图 4-2 及图 4-3 所示。关于自启动配置介绍及双启动配置模式流程图请参考《Gowin FPGA 产品编程配置手册》中 5 配置模式介绍。

图 4-2 GW1N 重新上电时序图

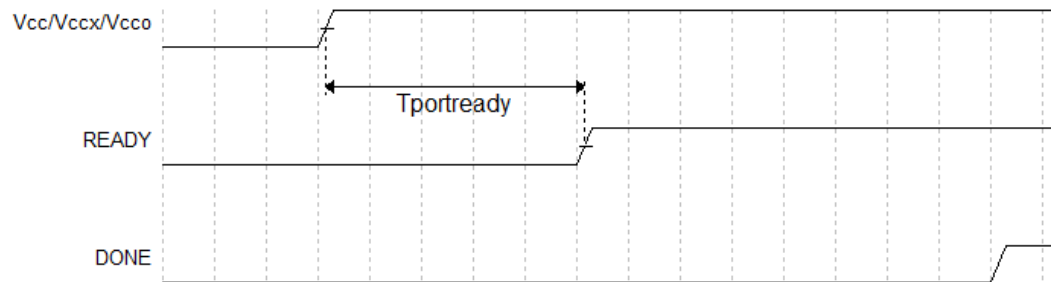
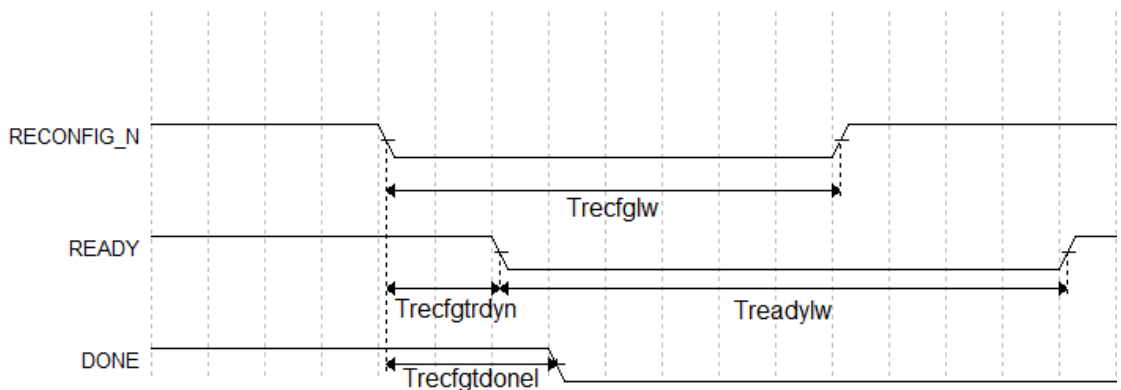


图 4-3 GW1N RECONFIG_N 触发时序图



相关的时序参数如表 4-2 所示。

表 4-2 重新上电和 RECONFIG_N 触发时序参数

参数名称	参数含义	最小值	最大值
$T_{portready}^1$	满足上电条件到 READY 的上升沿的时延 (Time from application of V_{CC} , V_{CCX} and V_{CCO} to the rising edge of READY)	50 μ s	200 μ s
$T_{recfglw}$	RECONFIG_N 低电平脉冲宽度 (RECONFIG_N low pulse width)	25ns	-
$T_{recfgtrdyn}$	RECONFIG_N 下降沿到 READY 变低电平的时延 (Time from RECONFIG_N falling edge to READY low)	-	70ns
$T_{readylw}$	READY 低电平脉冲宽度 (READY low pulse width)	TBD	-
$T_{recfgtdonel}$	RECONFIG_N 下降沿到 DONE 变低电平的时延 (Time from RECONFIG_N falling edge to DONE low)	-	80ns

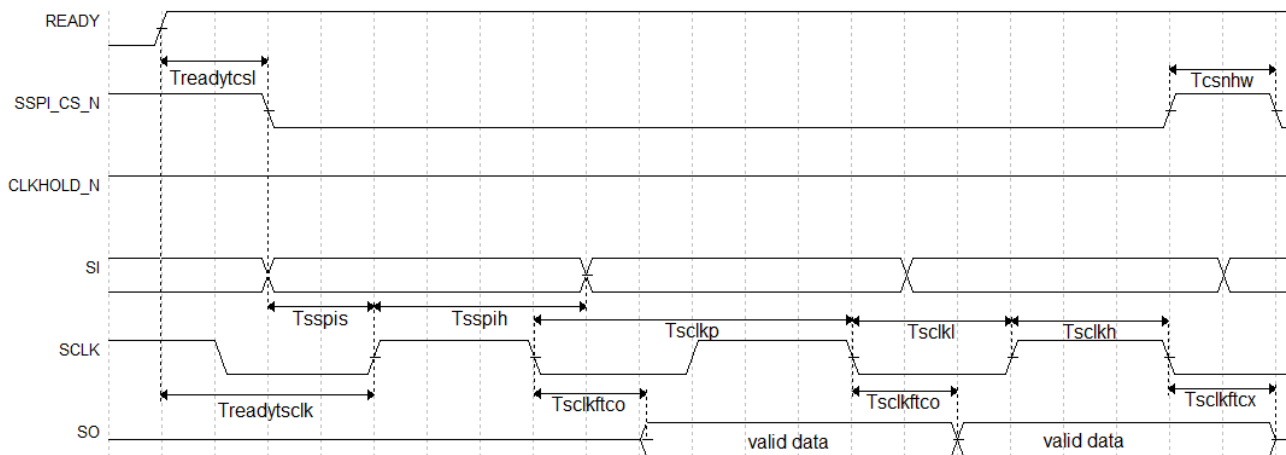
注!

MODE0=0 时器件的上电等待时间为 200 μ s, MODE0=1 时为 50 μ s。

4.3 SSPI 配置模式

SSPI 配置模式的时序图如图 4-4 所示。

图 4-4 SSPI 配置模式时序图



时序参数如表 4-3 所示。

表 4-3 SSPI 配置模式时序参数

参数名称	参数含义	最小值	最大值
T_{sclkp}	SCLK 时钟周期(SCLK clock period)	15ns	-
T_{sclkh}	SCLK 时钟高电平时间(SCLK clock high time)	7.5ns	-
T_{sckl}	SCLK 时钟低电平时间(SCLK clock low time)	7.5ns	-
T_{sspis}	SSPI PORT 建立时间(SSPI PORT setup time)	2ns	-
T_{sspih}	SSPI PORT 保持时间(SSPI PORT hold time)	0ns	-
$T_{sckftco}$	SCLK 下降沿到数据输出时延(Time from SCLK falling edge to output)	-	10ns
$T_{sckftcx}$	SCLK 下降沿到输出高阻时延(Time from SCLK falling edge to high impedance)	-	10ns
T_{csnhw}	CSN 高电平脉冲宽度 (CSN high time)	25ns	-
$T_{readytcs}$	READY 上升沿到 CSN 低电平时间(Time from READY rising edge to CSN low)	TBD	
$T_{readytsclk}$	READY 上升沿到第一个 SCLK 沿时间(Time from READY rising edge to first SCLK edge)	TBD	-

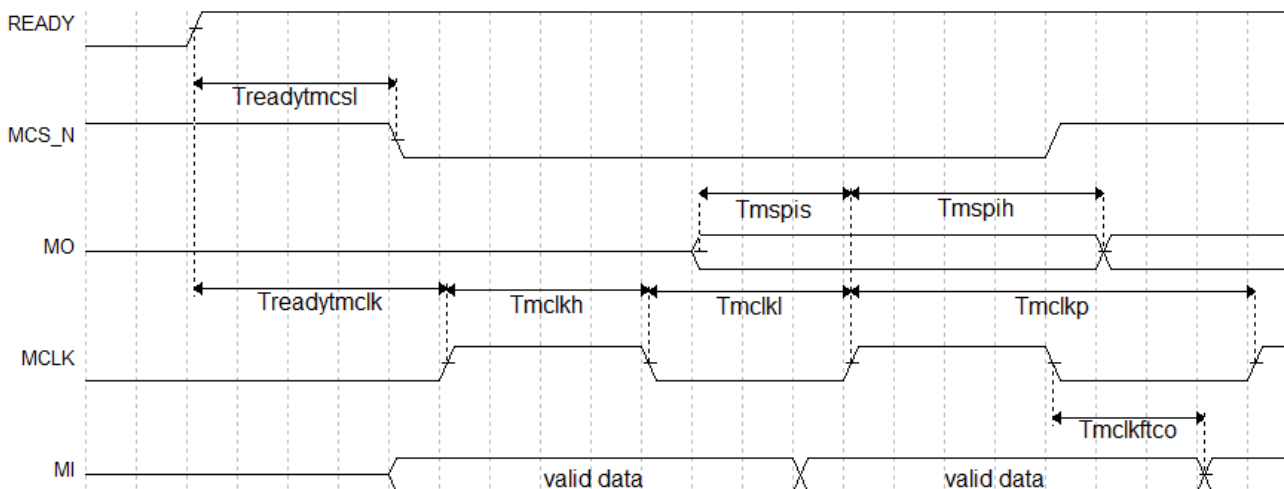
除满足上电要求外，SSPI 模式对 GW1N(R)系列 FPGA 产品进行配置，还需满足以下条件：

- SSPI 接口使能
RECONFIG_N 设为“NON-RECOVERY”状态。
- 启动新的配置
重新上电或低电平脉冲触发 RECONFIG_N 管脚。

4.4 MSPI 配置模式

将配置数据写入外部 Flash 之后，需要重新上电或低电平脉冲触发 RECONFIG_N 进行器件配置。MSPI 配置模式的时序图如图 4-5 所示。

图 4-5 MSPI 下载模式时序图



时序参数的含义如表 4-4 所示。

表 4-4 MSPI 配置模式时序参数

参数名称	参数含义	最小值	最大值
T_{mclkp}	MCLK 时钟周期(MCLK clock period)	15ns	-
T_{mclkh}	MCLK 时钟高电平时间(MCLK clock high time)	7.5ns	-
T_{mckl}	MCLK 时钟低电平时间(MCLK clock low time)	7.5ns	-
T_{mspis}	MSPI PORT 建立时间(MSPI PORT setup time)	5ns	-
T_{mspih}	MSPI PORT 保持时间(MSPI PORT hold time)	1ns	-
$T_{mclkftco}$	MCLK 下降沿到数据输出时延(Time from MCLK falling edge to output)	-	10ns
$T_{readytmcs}$	READY 上升沿到 MCS_N 低电平时间(Time from READY rising edge to MCS_N low)	100ns	200ns
$T_{readytmclk}$	READY 上升沿到第一个 MCLK 沿时间(Time from READY rising edge to first MCLK edge)	2.8 μ s	4.4 μ s

除满足上电要求外，使用 MSPI 模式对 GW1N(R)系列 FPGA 产品进行配置，还需满足以下条件：

- MSPI 接口使能
RECONFIG_N 设为“NON-RECOVERY”状态。
- 启动新的配置
重新上电或者低电平脉冲触发 RECONFIG_N 管脚。

关于 MSPI 配置模式的特性及器件支持情况的详细内容请参考 《Gowin FPGA 产品编程配置手册》 中 5 配置模式介绍。

4.5 双启动配置

关于双启动配置介绍及双启动配置模式流程图请参考 《Gowin FPGA 产品编程配置手册》 中 5 配置模式介绍。

4.6 CPU 配置模式

除满足上电要求外,使用 CPU 模式对 GW1N(R)系列 FPGA 产品进行配置,还需满足以下条件:

- CPU 接口使能
RECONFIG_N 设为“NON-RECOVERY”状态。
- 启动新的配置
重新上电或者低电平脉冲触发 RECONFIG_N 管脚。

4.7 SERIAL 配置模式

除满足上电要求外,使用 SERIAL 模式对 GW1N(R)系列 FPGA 产品进行配置,还需满足以下条件:

- SERIAL 接口使能
上电后初次配置或前一次配置时, RECONFIG_N 设为“NON-RECOVERY”状态。
- 启动新的配置
重新上电或者低电平脉冲触发 RECONFIG_N 管脚。

5 安全性考虑

用户使用 **FPGA** 进行设计，安全性问题是一个关键的考虑因素，高云半导体的编程软件结合 **GW1N** 器件的特性开发了一系列安全保护措施，为用户的比特流数据提供了完善的安全性保障机制。

安全措施大致分为三个阶段：

- 配置开始前，编程软件自动检查比特流数据的合法性；
- 配置过程中，**GW1N** 器件实时校验传输数据的正确性；
- 配置完成后，**GW1N** 器件进入工作状态，屏蔽一切形式的回读请求。

三个阶段的详细描述信息如下：

配置开始前

使用高云半导体的编程软件进行配置操作，请参见以下步骤：

1. 进行配置电路的硬件连接；
2. 启动编程软件进行器件扫描，软件自动识别已连接的 **FPGA** 产品；
3. 选择比特流数据和编程配置模式进行器件的编程配置。

上述过程中，编程软件首先读取已连接器件的 **ID**，然后将其与用户选择的比特流数据中的 **ID** 进行比较，只有二者一致才能进行操作，否则，用户选择的比特流数据被判定为非法数据，无法进行编程配置。

注！

GW1N(R)系列 **FPGA** 产品具有特定的 **ID**，以便与其他系列产品进行区分。使用 **Gowin** 云源软件生成的比特流数据中自动添加了器件的 **ID** 验证指令，用户只需在建立工程时选择 **GW1N** 器件即可。

配置过程中

配置过程开始后，器件首先读取比特流数据的 **ID** 信息进行校验，校验通过后开始编程配置过程。为防止比特流数据被篡改的情况和传输过程中可能发生的错误，**GW1N** 器件采用 **CRC** 校验的方式确保比特流文件中的所有数据位正确写入 **FPGA**，具体过程如下：

Gowin 云源软件生成的比特流数据中每段地址后都加入了该段地址对应

数据的 CRC 校验码，GW1N 器件在接收数据的过程中也会不断地生成校验码，与器件接收的校验码进行比较，一旦发现校验错误，之后的数据将被忽略，配置完成后 DONE 指示灯不会被点亮，编程软件界面上弹出 CRC 校验出错的提示。

配置完成后

配置完成后，根据用户选择的编程配置模式，器件的比特流数据加载到 SRAM 中完成启动或者存储在内置 Flash 中。

- 对于加载到 SRAM 中的数据，Gowin 云源软件在生成比特流数据的过程中自动设置了安全位，任何用户都无法读取 SRAM 中的数据；
- 对于存储在内置 Flash 中的数据，软件完成 Flash 的编程操作后，Flash 配置为自启动模式，禁止所有的读取请求。

此外，GW1N(R)系列 FPGA 产品的自启动配置模式，由于不需要与外部下载接口进行连接，从而大大降低了配置过程中数据被截获的风险，为用户提供了更高的安全保障。双启动模式为用户提供了一种备份选择，用户可以根据自身需要将配置数据备份在外部 Flash 中。

注！

高云半导体不对外置 Flash 的存储安全性负责。

6 内置 Flash 介绍

GW1N(R)系列 FPGA 产品分为两种:GW1N-1 内嵌了华力 Flash 模块, GW1N(R)其他系列 FPGA 产品内嵌了 TSMC Flash 模块。

内置 Flash 分为 3 个区域, 分别是配置数据存储区、器件内部信息存储区(比如芯片的 ID 及 pattern 等)和 User Flash 区(给用户作为普通存储资源使用)。考虑器件信息和内部数据的安全性, 用户只拥有对 User Flash 的读写和擦除权限。

6.1 华力 Flash 模块 (GW1N-1)

GW1N-1 提供 12 Kbytes (48 page x 256 Bytes) 的用户闪存资源(User Flash), 主要特性如下所示:

- 100,000 次写寿命周期
- 超过 10 年的数据保存能力(+85°C)
- 可选的数据输入输出位宽 8/16/32
- 页存储空间: 256 Bytes
- 3 μ A 旁路电流
- 页写入时间: 8.2ms

6.2 TSMC Flash 模块 (GW1N-2/4/6/9,GW1NR-4)

GW1N(R)其他系列 FPGA 产品提供的用户闪存资源特性如下:

- 10,000 次写寿命周期
- 超过 10 年的数据保存能力(+85°C)
- 页擦除能力: 2,048 Bytes
- 快速页擦除/字编程操作
- 工作速度: ≤ 25 ns
- 字编程时间: ≤ 16 μ s
- 页擦除时间: ≤ 120 ms

