

GW1N 系列 FPGA 产品原理图指导手册

简介

使用高云半导体 GW1N 系列 FPGA 产品做电路板级设计时需遵循一系列规则。本文档详细描述了 GW1N 系列 FPGA 产品相关的一些器件特性和特殊用法，并给出校对表用于指导原理图设计，主要内容如下：

- 电源管理
- 配置模式的选择
- 管脚分配

低功耗、瞬时上电、非易失系列的 GW1N 系列 FPGA 产品支持两个版本，即 LV 版本和 UV 版本。LV 版本支持 1.2V 内核电压，UV 版本内置线性稳压单元，支持 1.8V，2.5V 和 3.3V 内核电压。LV 版本和 UV 版本功能相同并且管脚兼容。

电源管理

内核电压 V_{CC} 和 V_{CC03} 决定了 GW1N 系列 FPGA 产品内部上电复位/置位。 $V_{CC00}\sim V_{CC02}$ 用于其他 IO BANK 的供电。电源电压必须达到推荐工作范围内，器件才能正常工作。表 1 列出了各电源电压的推荐工作范围。

表 1 推荐工作范围

名称	描述	最小值	最大值
V_{CC}	LV 版本电源电压	1.14V	1.26V
	UV 版本电源电压	1.71V	3.465V
V_{CC0}	I/O Bank 电源电压	1.14V	3.6V
V_{CCX}	辅助电源电压	2.3V	3.465V

针对特定密度，封装和资源利用率，可以使用云源软件内嵌的 GPA 工具对 GW1N 系列 FPGA 产品进行功耗评估和分析。

配置模式的选择

GW1N 系列 FPGA 产品包含 SRAM 和 Flash 两类存储资源：

- 易失的 SRAM 用于运行有效的配置文件；
- 非易失的 Flash 用于存储配置文件并对 SRAM 进行配置。

GW1N 系列 FPGA 产品支持多种编程和配置接口：1149.1 JTAG、自加载、从 SPI、主 SPI 及双启动加载。

建议至少保留一种编程和配置接口，编程和配置接口通过 MODE 管脚来控制，其真值表如表 2 所示。

表 2 配置模式

配置模式		MODE[2:0] ¹	相关说明
JTAG		XXX ²	外部 Host 通过 JTAG 接口对 GW1N 系列 FPGA 产品进行配置
GowinCONFIG	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配置
	SSPI	001	外部 Host 通过 SPI 接口对 GW1N 系列 FPGA 产品进行配置
	MSPI	010	GW1N 作为 Master，通过 SPI 接口 ³ 从外部 Flash（或其他器件）读取配置数据进行配置
	DUAL BOOT	100	FPGA 优先选择内置 Flash 读取配置数据进行配置，内置 Flash 配置失败时选择从外部 Flash 进行配置
	SERIAL ⁴	101	外部 Host 通过 DIN 接口对 GW1N 系列 FPGA 产品进行配置
CPU ⁴		111	外部 Host 通过 DBUS 接口对 GW1N 系列 FPGA 产品进行配置

注！

- [1]对于一些 MODE 管脚没有全部封装出来的器件，未封装出来的 MODE 默认已接地；
- [2]JTAG 配置模式与 MODE 输入值无关；
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的；
- [4]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用；

当编程和配置管脚用于和外部设备交互握手时，须使用外部匹配电阻，针对不同管脚的上拉 4.7K 或下拉 1K 请参考表 3。

表 3 配置模式管脚

管脚名称	I/O 类型	说明
RECONFIG_N	I，内部弱上拉，外部上拉到 V _{CC03}	低电平脉冲：开始新的 GowinCONFIG 配置
READY	I/O 外部上拉到 V _{CC03}	高电平：当前可以对器件进行编程配置
		低电平：无法对器件进行编程配置

管脚名称	I/O 类型	说明
DONE	I/O 外部上拉到 V _{CC03}	高电平：成功完成编程配置 低电平：未完成编程配置或编程配置失败
FASTRD_N /D3	I/O	MSPI 模式下 Flash 访问速度选择端口 FASTRD_N 低电平：使用高速 Flash 访问模式 高电平：使用普通 Flash 访问模式 CPU 模式下的数据端口 D3
MCLK /D4	I/O 外部上拉 1 欧姆	MSPI 模式下时钟输出 MCLK CPU 模式下的数据端口 D4
MCS_N /D5	I/O 外部上拉到 V _{CC01}	MSPI 模式下的使能信号 MCS_N，低电平有效 CPU 模式下的数据端口 D5
MI /D7	I/O	MSPI 模式下 MISO：Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D7
MO /D6	I/O	MSPI 模式下 MOSI：Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D6
SSPI_CS_N/D0	I/O 外部上拉到 V _{CC01}	SSPI 模式下的使能信号 SSPI_CS_N，低电平有效，内部弱上拉 CPU 模式下的数据端口 D0
SO /D1	I/O	SSPI 模式下 MISO：Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D1
SI /D2	I/O	SSPI 模式下 MOSI：Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D2
TMS	I，内部弱上拉	JTAG 模式串行模式输入
TCK	I 外部下拉到 V _{CC03}	JTAG 模式串行时钟输入，需要再 PCB 上连接 4.7K 下拉电阻
TDI	I，内部弱上拉	JTAG 模式串行数据输入
TDO	O	JTAG 模式串行数据输出
JTAGSEL_N	I，内部弱上拉	JTAG 模式选择信号，低电平有效
SCLK	I，外部上拉 1 欧姆	SSPI，SERIAL，CPU 模式下的时钟输入
DIN	I，内部弱上拉	SERIAL 模式下的数据输入
DOU	O	SERIAL 模式下的数据输出
CLKHOLD_N	I，内部弱上拉	高电平：SSPI 模式和 CPU 模式操作有效 低电平：SSPI 模式和 CPU 模式操作无效
WE_N	I	CPU 模式下选择 D[7: 0]的数据输入输出方向

主 SPI 方式需要保证以下三点：

1. SPI Flash 的 V_{CC} 和 GW1N 系列 FPGA 产品 V_{CC01} 一致；
2. SPI Flash 的 V_{CC} 满足相关厂商数据手册要求的范围；
3. SPI Flash 的 POR 电平低于 GW1N 系列 FPGA 产品 POR 电平，即保证 SPI Flash 先上电。

管脚分配

在电路设计前需要对 FPGA 的管脚分配进行全局统筹，针对应用结合器件架构特性做出合理的选择，包括 IO LOGIC，全局时钟资源，PLL 资源等。

GW1N Bank1/2/3 支持真 LVDS 输出，当使用真 LVDS 输出时，必须把 V_{CC0} 配置成 2.5V 或 3.3V，同时参考 GW1N 系列 FPGA 产品 Pinout 手册 确保相应的管脚支持真 LVDS 输出。

为支持 SSTL，HSTL 等 I/O 输入标准，每个 Bank 提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 $0.5 \cdot V_{CC0}$)，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

表 4 校对表

	校对项	通过	不通过
1	电源		
1.1	LV 内核电压在 1.2V		
1.2	UV 内核电压在 1.8/2.5/3.3V		
1.3	$V_{CC0}0\sim3$ 在 1.2V 到 3.3V		
1.4	功耗评估		
2	编程配置		
2.1	编程配置方式选择		
2.2	RECONFIG_N/DONE/READY 上拉		
2.3	SPI 相关管脚上拉		
2.4	JTAG TCK 下拉		
3	管脚分配		
3.1	是否支持真 LVDS 输出管脚		
3.2	SSTL, HSTL 等电平标准参考电压选取		

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn/>

E-mail：support@gowinsemi.com

Tel: 00 86 0755 82620391

版本信息

日期	版本	说明
2016/12/13	1.00	初始版本。

版权所有© 2017 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。